

La conversione A/D e D/A

martedì 15 aprile 2008

Nella trattazione numerica di variabili reali e nei sistemi di controllo digitale è fondamentale la conversione tra il mondo analogico (continuo) ed il mondo digitale (discreto) e viceversa.

Sono di fondamentale importanza i convertitori in grado di trasformare un segnale continuo in un segnale numerico disponibile quindi ad una elaborazione matematica.

I convertitori in grado di trasformare un segnale numerico in un segnale analogico consentono di completare il dialogo tra l'elaborazione matematica e la variabile fisica che si vorrebbe controllare.

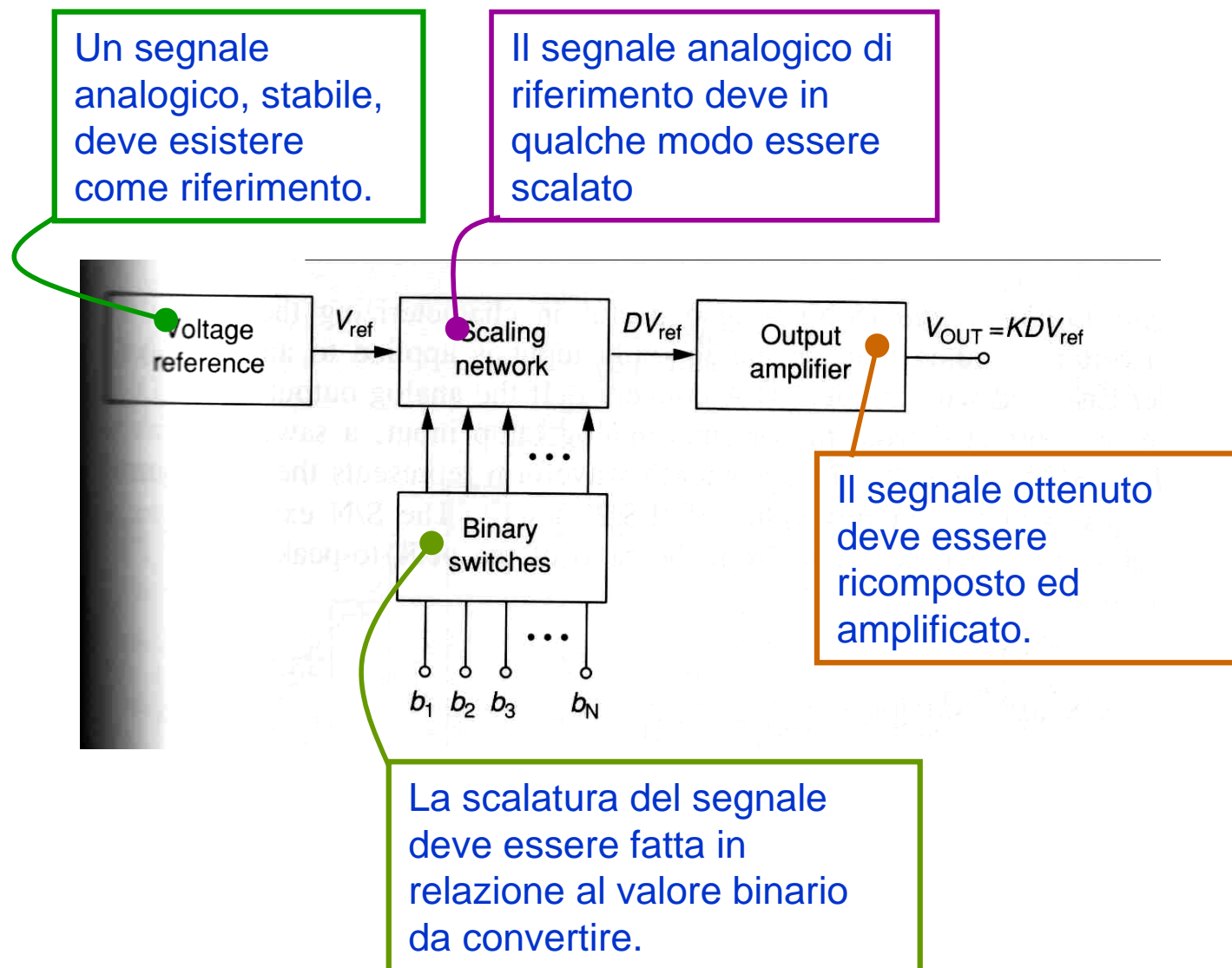
Esistono molti approcci circuitali per entrambi i convertitori che sono caratterizzati dal soddisfare specifiche varie. Non esiste un convertitore in grado di soddisfare tutte le possibili caratteristiche.

Ogni applicazione prevede quindi la selezione del dispositivo più adeguato.

Una considerazione importante da osservare è che molti convertitori A/D, o ADC, basano il proprio funzionamento sull'utilizzo a loro volta di convertitori D/A, o DAC, nelle varie fasi del loro funzionamento.

I convertitori D/A

Il concetto di conversione tra digitale ed analogico è abbastanza intuitivo e semplice: un numero espresso in forma binaria ad N cifre deve essere convertito in un segnale di tensione o di corrente.

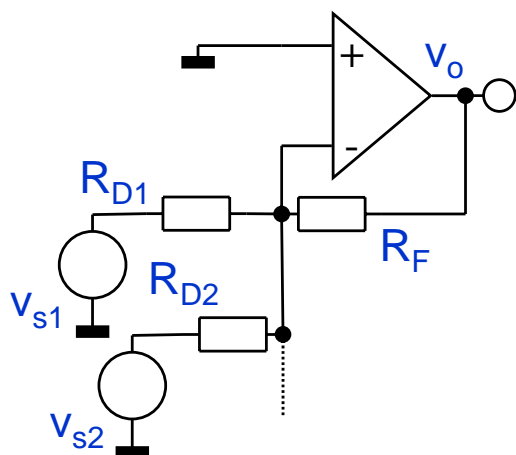


La conversione è facilitata dall'impiego di cifre binarie. Nella scalatura del segnale di tensione di riferimento ad ogni cifra si associa un interruttore chiuso se uguale a 1, aperto se uguale a 0. Ovviamente, a scelta, si potrebbe usare la filosofia opposta se si considerasse la logica negata.

Il convertitore D/A più immediato ed i suoi problemi

I convertitori D/A basano il loro funzionamento sullo sfruttamento dell'amplificatore reazionato in configurazione invertente.

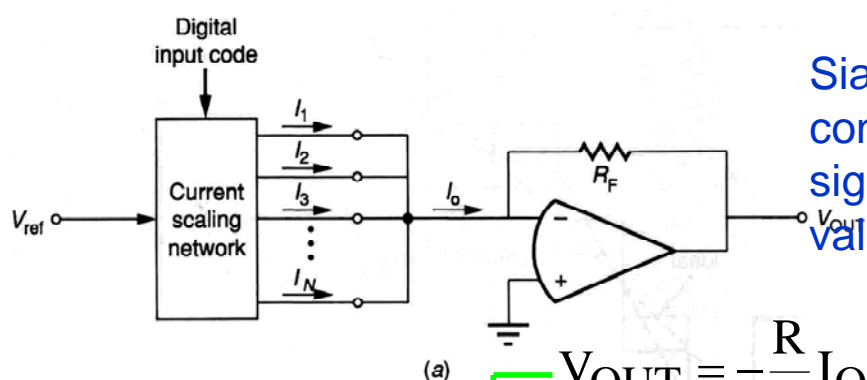
Esempio con 2 ingressi:



$$\frac{V_{s1}}{R_{D1}} + \frac{V_{s2}}{R_{D2}} = -\frac{V_o}{R_F} \quad V_o = -\frac{R_F}{R_{D1}} V_{s1} - \frac{R_F}{R_{D2}} V_{s2}$$

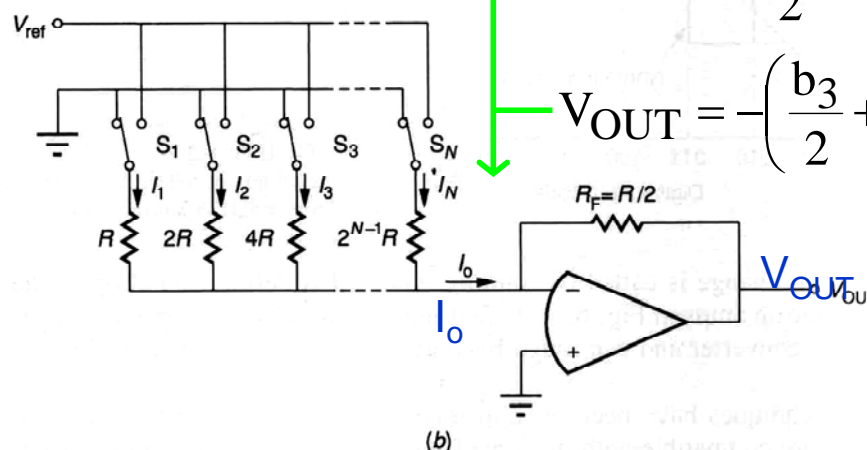
Nessuno ci vieta di considerare molti più segnali ingressi, od anche un solo segnale di ingresso connesso con resistenze di valore diverso al terminale invertente.

Questo è quello che si fa in pratica. Si converte una tensione di riferimento in tante correnti il cui numero dipende da quanti bit hanno il valore 1. L'esempio pratico qui sotto è eloquente.



Sia il numero da convertire: $b_3b_2b_1b_0$ con b_0 essere la cifra meno significativa, la più bassa. Deve valere:

$$(a) \quad V_{OUT} = -\frac{R}{2} I_O = -\frac{R}{2} \left(\frac{b_3}{R} + \frac{b_2}{2R} + \frac{b_1}{4R} + \frac{b_0}{8R} \right) V_{REF}$$



$$V_{OUT} = -\left(\frac{b_3}{2} + \frac{b_2}{4} + \frac{b_1}{8} + \frac{b_0}{16} \right) V_{REF}$$

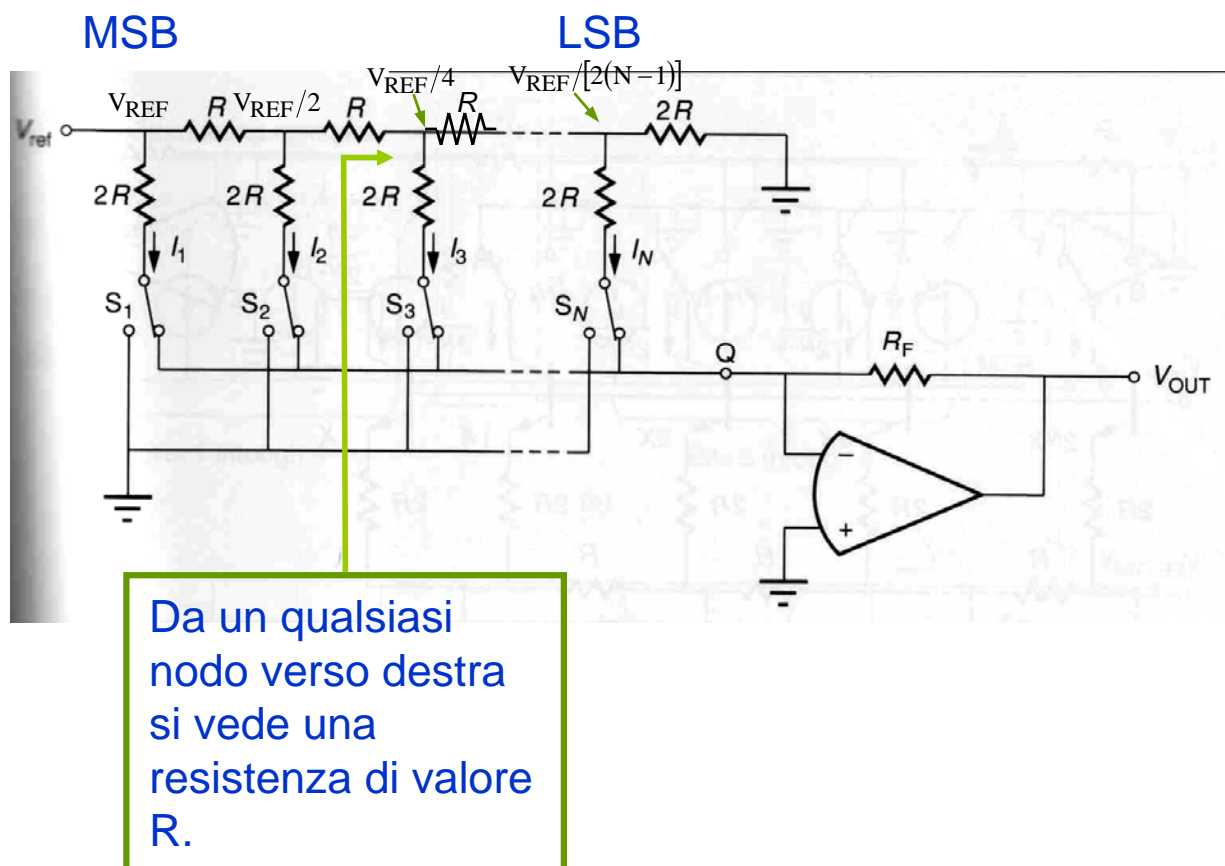
Si ha un problema nell'accuratezza. Abbiamo che:

$$\frac{R_{MSB}}{R_{LSB}} = \frac{1}{2^{N-1}}$$

Ovvero la precisione delle resistenze deve essere molto elevata.

Inoltre la resistenza R_{MSB} potrebbe essere molto piccola se il numero di cifre fosse elevato.

Migliori risultati con l'approccio così detto R – 2R



La soluzione circuitale funziona perché una qualsiasi resistenza o è connessa a massa, o è connessa alla massa virtuale dell'OA reazionato. Questo fa sì che la rete resistiva vista dal nodo di V_{REF} non cambia qualsiasi sia la combinazione del numero binario.

Ad ogni nodo la tensione V_{REF} viene scalata di un fattore 2, mentre la corrente uscente dal nodo è sempre la tensione del nodo divisa per $2R$:

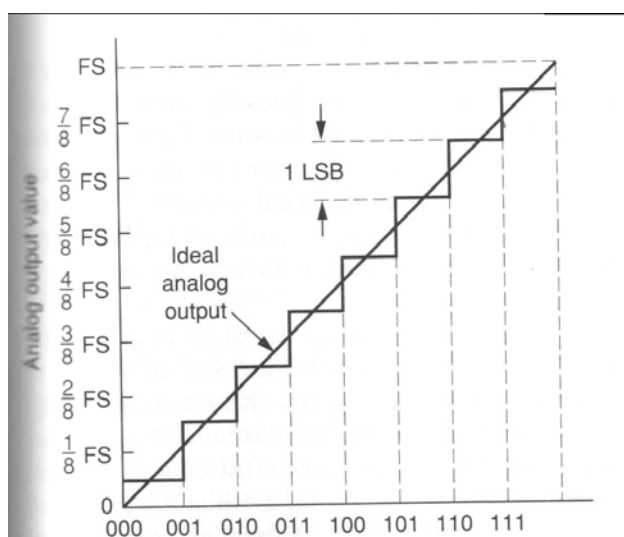
$$I_1 = \frac{V_{REF}}{2R} = 2I_2 = 4I_3 = \dots = 2^{N-1}I_N$$

Ponendo $R_F=R$ il gioco è fatto.

Con questa rete si usano resistenze aventi solo 2 valori non troppo diversi tra loro. Risulta molto semplice ottenere una precisione relativa anche migliore dello 0.1 %. Questa precisione richiede comunque una taratura finale in caso il numero di bit da convertire sia elevato, 16 o più.

I limiti dei convertitori D/A 1

In un convertitore ideale esiste un rapporto costante tra segnale generato ed una rampa. Solo la discretizzazione del segnale comporta un andamento discontinuo a cavallo della retta di conversione:



Un convertitore reale si discosta dalla retta di conversione inserendo degli errori nella conversione che hanno effetto sul risultato finale.

Il primo parametro da considerare in un D/A è il **Full Scale**, **FS**, la massima tensione in grado di convertire. Per cui la minima quantità convertibile è ovviamente: $FS/2^N$ che coincide con la **risoluzione** massima ottenibile.

Un parametro importante che caratterizza i D/A è il **Full Scale Range**, **FSR**, la differenza tra il massimo ed il minimo valore discriminabile. Valore che tende all'infinito ad alti valori del numero di bit.

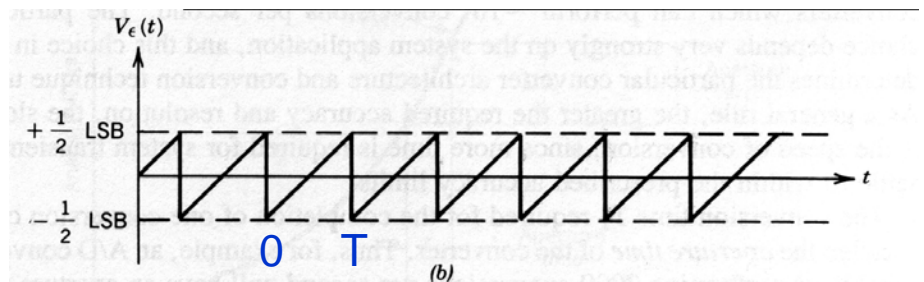
Un parametro importante è il **Dynamic Range**, **DR**, che per un D/A ideale coincide con il rapporto tra il FS ed il minimo ammontare di tensione discriminabile: $DR=2^N$:

$$DR(dB) = 20\log_{10}(2^N) = 6.02N$$

I limiti dei convertitori D/A 2

Anche il convertitore ideale ha un rumore intrinseco dovuto al fatto che la conversione è quantizzata a ± 0.5 LSB, Least Significant Bit. Se nella figura precedente effettuassimo la differenza tra il segnale generato dal D/A e la curva ideale otterremo un dente di sega: di ampiezza ± 0.5 LSB, con ripetizione uniforme tra un bit ed il successivo. Questo effetto può essere interpretato a tutti gli effetti come una sorgente di rumore bianco.

Valutiamo l'intensità di questo rumore.



$$\begin{cases} f(0) = -\frac{\text{LSB}}{2} = b \\ f(T) = \frac{\text{LSB}}{2} = aT + b \end{cases} \Rightarrow a = \frac{\text{LSB}}{T}$$

$$\begin{aligned} V_{\text{RMS}}^2 &= \frac{1}{T} \int_0^T \left(\frac{\text{LSB}}{T} t - \frac{\text{LSB}}{2} \right)^2 dt = \\ &= \frac{1}{3T} \frac{T}{\text{LSB}} \left(\frac{\text{LSB}}{T} t - \frac{\text{LSB}}{2} \right)^3 \Bigg|_0^T = \frac{1}{3\text{LSB}} \left(\frac{\text{LSB}^3}{8} + \frac{\text{LSB}^3}{8} \right) = \frac{\text{LSB}^2}{12} \end{aligned}$$

Per cui:

$$V_{\text{RMS}} = \frac{\text{LSB}}{\sqrt{12}} = \frac{\text{FS}}{2^N} \frac{1}{\sqrt{12}}$$

Di conseguenza il rapporto segnale su rumore presente del D/A è:

$$\begin{aligned} \text{S/N(dB)} &= 10 \log_{10} \left[\frac{\text{FS}}{\text{FS} / [2^N \sqrt{12}]} \right]^2 = 20 \log_{10}(2^N) + 20 \log_{10}(\sqrt{12}) \\ &= 6.02N + 10.8 \end{aligned}$$

I limiti dei convertitori D/A 3

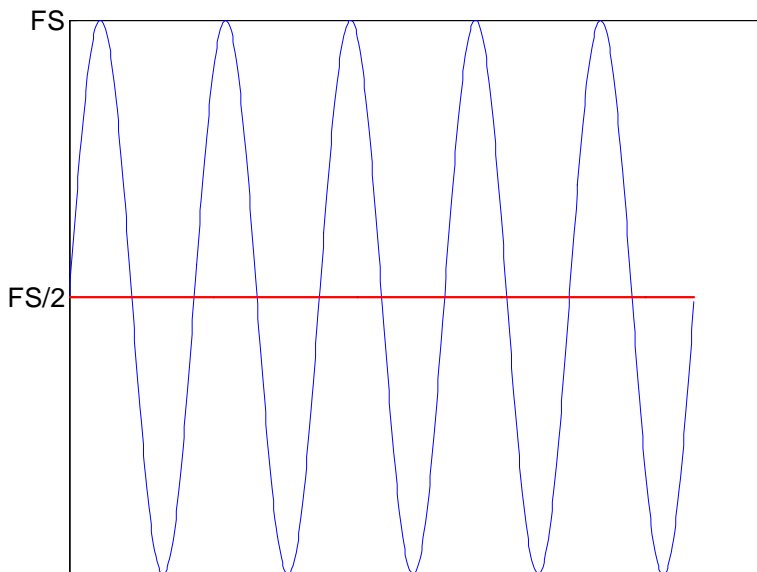
$$S/N(\text{dB}) = 6.02N + 10.8$$

Il S/N indicato è il rapporto tra il massimo del segnale ed il rumore RMS, proporzionale al rumore picco-picco.

Questo rumore non fa fede del numero effettivo di BIT, che dovrebbe invece scendere dal rapporto del segnale picco-picco sul rumore picco-picco, ovvero del segnale RMS al rumore RMS, ovvero sia dal rapporto tra il picco del segnale ed il rumore picco-picco.

Il segnale RMS lo possiamo ricavare applicando una sinusoide al dispositivo.

$$V_{\text{SIGRMS}} = \frac{1}{T} \int_0^T A^2 \sin^2\left(\frac{2\pi t}{T}\right) dt = \frac{A^2}{2}$$



Il segnale è dato da:

$$V_{\text{SIG}} = \frac{FS}{2} \sin\left(\frac{2\pi t}{T}\right) + \frac{FS}{2}$$

perciò:

$$A = \frac{FS}{2}$$

e:

$$V_{\text{SIGRMS}}^2 = \frac{FS^2}{8}$$

(Nel computo si è trascurato il termine costante dovuto al valore DC).

Infine:

$$\begin{aligned} S/N(\text{dB}) &= 10 \log_{10} \left[\frac{FS/\sqrt{8}}{FS/[2^N \sqrt{12}]} \right]^2 = 20 \log_{10}(2^N) + 20 \log_{10}(\sqrt{12/8}) \\ &= 6.02N + 1.76 \end{aligned}$$

I limiti dei convertitori D/A 4

Supponiamo di dovere ora fare la considerazione inversa. Dobbiamo realizzare un sistema di lettura di un segnale e dobbiamo acquistare il convertitore più adeguato.

Convien partire cercando di verificare il numero effettivo di bit del segnale da campionare. Il nostro segnale sarà analogico, con un rumore gaussiano, sicché:

$$\frac{V_{\text{SIGRMS}}}{V_{\text{NRMS}}} = \frac{6.6 V_{\text{SIGRMS}}}{6.6 V_{\text{NRMS}}} \approx \frac{FS}{V_{Np-p}}$$

Considerando ora la risoluzione di un ipotetico ADC che genera un rumore simile, deve essere soddisfatto che:

$$6.02 N_{\text{Eff}} + 1.76 \approx 20 \log_{10} \left(\frac{FS}{V_{Np-p}} \right)$$

$$N_{\text{Eff}} = \frac{1}{6.02} 20 \log_{10} \left(\frac{FS}{V_{Np-p}} \right) - \frac{1.76}{6.02}$$

$$N_{\text{Eff}} = 3.32 \log_{10} \left(\frac{FS}{V_{Np-p}} \right) - 0.29$$

Esiste un metodo più pratico per arrivare ad un risultato molto prossimo. Il rumore del sistema può essere espresso in bit equivalenti di rumore:

$$2^{N_{\text{noise}}} = \frac{V_{Np-p}}{FS/2^N}$$

$$N_{\text{noise}} \log_{10}(2) = \log_{10} \left(\frac{V_{Np-p}}{FS} \right) + N \log_{10}(2)$$

Di conseguenza:

$$N_{\text{Eff}} = N - N_{\text{noise}} = -\frac{1}{\log_{10}(2)} \log_{10} \left(\frac{V_{Np-p}}{FS} \right) = 3.32 \log_{10} \left(\frac{FS}{V_{Np-p}} \right)$$

I 2 risultati coincidono a meno di 0.29 bit.

I limiti dei convertitori D/A 5

Ad esempio si abbia un sistema che presenti alla propria uscita un rumore $V_{\text{ORMS}} = 100 \mu\text{V}_{\text{RMS}}$.

Si voglia leggere questo segnale con un ADC avente $\text{FS} = 5 \text{ V}$.

Risulta che:

$$N_{\text{Eff}} = 3.32 \log_{10} \left(\frac{5}{6.6 \times 100 \times 10^{-6}} \right) = 12.88 \text{ bit}$$

Il risultato ci dice che nel nostro progetto il rumore del sistema pone un limite a circa 13 bit.

Risulta superfluo scegliere un ADC che abbia una risoluzione maggiore di 14 – 16 bit.

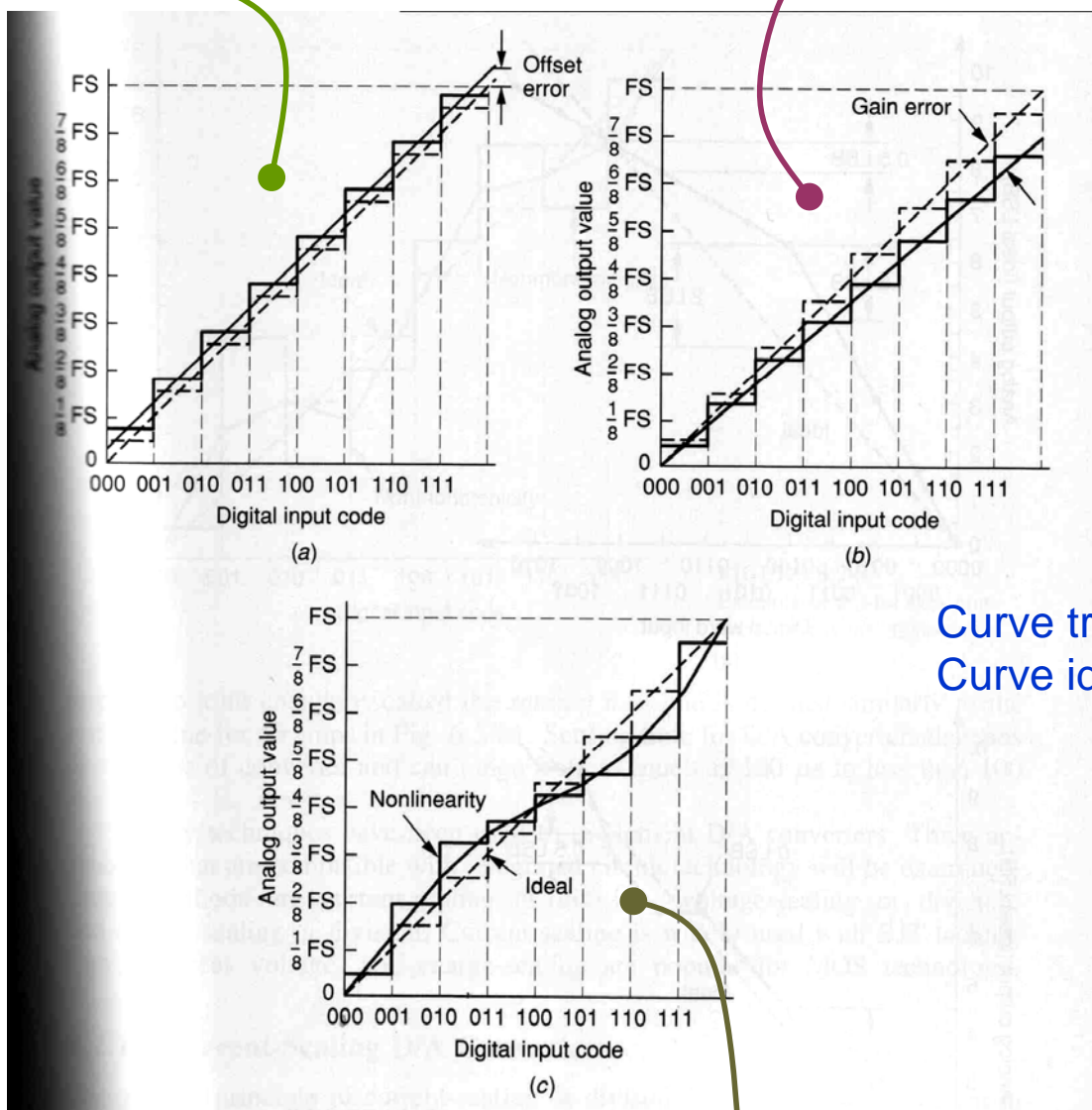
Un ADC avente un numero maggiore di bit non gioverebbe, visto che la maggior parte di loro resterebbe affogata nel rumore del segnale, senza fornire informazioni adeguate.

L'adozione di un ADC con prestazioni adeguate al sistema consente di ottimizzare il costo del componente, proporzionale al numero di bit.

I limiti dei convertitori D/A 6

Errore di offset: tutti i valori convertiti sono spostati in valore di un ammontare medio, molto piccolo ma apprezzabile.

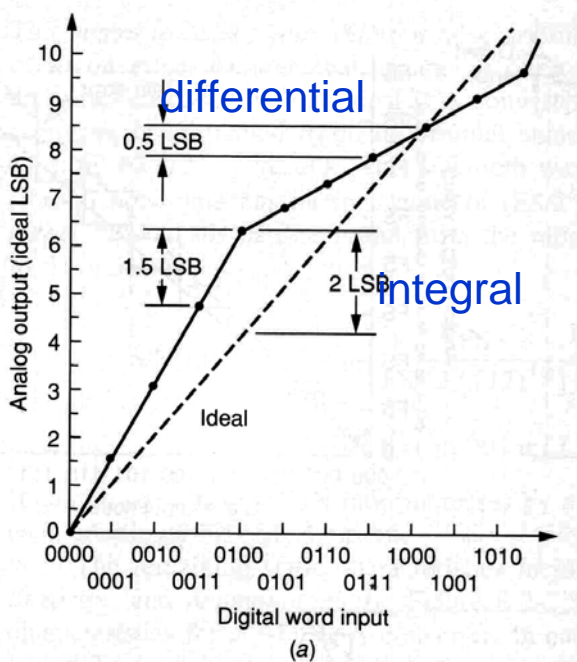
Il guadagno, o scala, non è perfettamente uguale al fondo scala ideale.



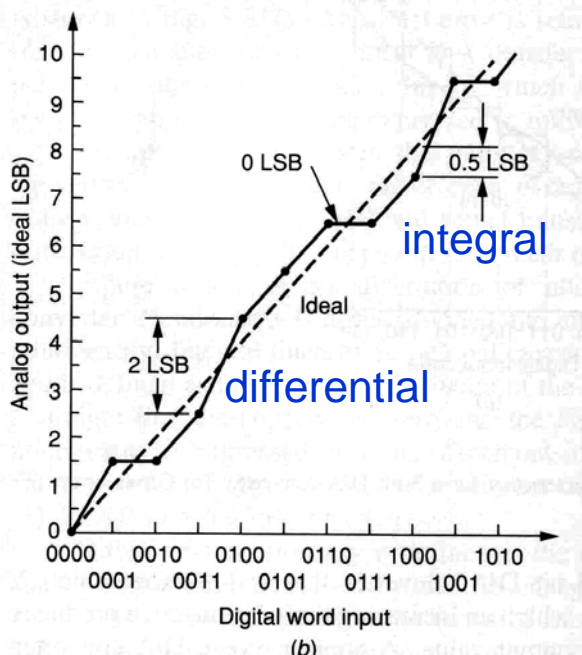
Curve tratteggiate =
Curve ideali

Errore di non linearità: la curva ideale non è seguita con monoticità, ma una leggera fluttuazione attorno alla retta viene riscontrata. La non linearità viene a sua volta definita come non-linearità integrale e non-linearità differenziale.

I limiti dei convertitori D/A 7

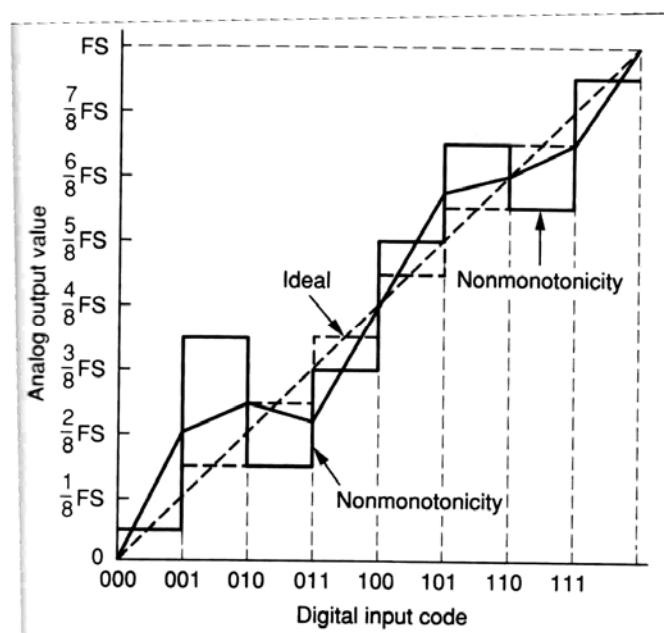


L'errore di non-linearità integrale è definito come la massima differenza che si riscontra tra la curva misurata e la retta ideale che connette l'origine con il FS. E' dato in termini di LSB o percentuale di FS.



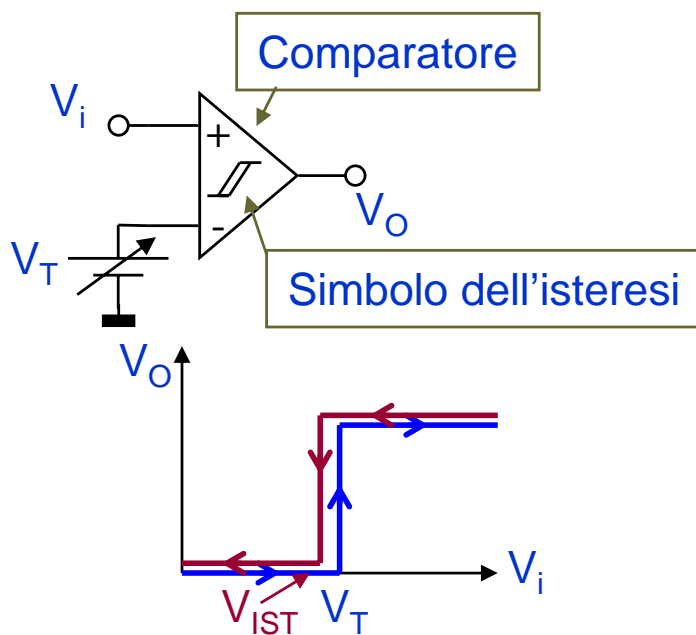
L'errore di non-linearità differenziale è definito come il massimo scostamento rispetto ad 1 LSB tra una conversione e la successiva. Ovvero è un errore locale.

L'errore di non-monotonicità si ha nei riguardi di una variazione di pendenza delle caratteristiche.



I convertitori A/D 1

L'elemento base della conversione A/D è il comparatore, che può essere visto come un convertitore a singolo bit. Un comparatore non è altro che un OA opportunamente progettato e, in genere, reazionato positivamente, perché abbia una soglia di scatto netta quando uno dei 2 ingressi supera l'altro di poco. In sostanza l'uscita del comparatore commuta tra 2 stati: stato a minima tensione, o basso, o zero, e stato ad alta tensione, o alto, o uno. La commutazione tra i 2 stati avviene quando V_+ supera V_- .



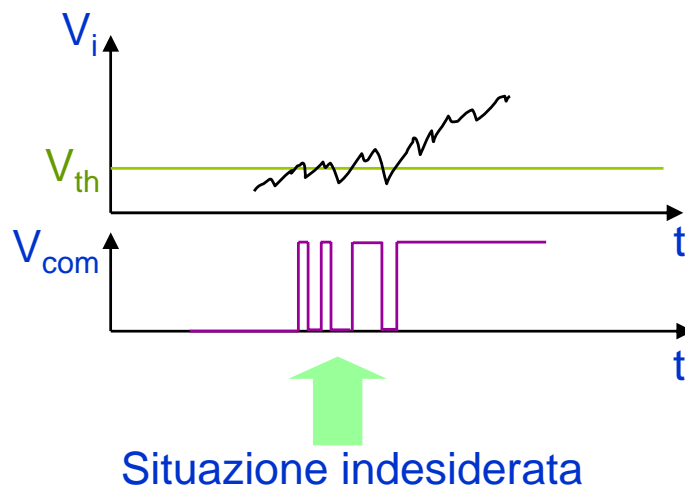
Il simbolo spesso include l'isteresi. Il riferimento V_T è la soglia che fa commutare l'uscita dallo stato basso allo stato alto. Una volta avvenuta la commutazione la soglia viene fatta cambiare ad un valore leggermente inferiore a V_T così che eventuali disturbi non possano riportare l'uscita allo stato basso prima che sia stata interpretata.

Studiamo più in dettaglio l'uso del comparatore.

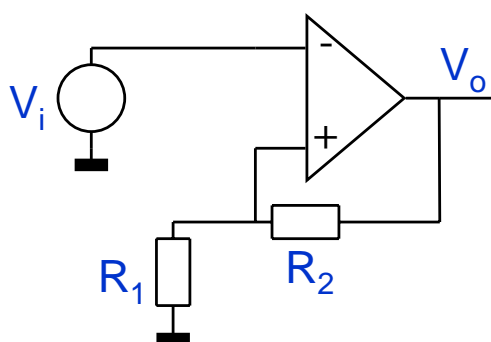
I COMPARATORI 1

Un problema all'uso di un comparatore a semplice soglia si ha quando il segnale di ingresso assume un valore prossimo alla soglia stessa.

Considerando che al segnale è sempre sovrapposto del rumore, per valori prossimi alla soglia si possono avere delle oscillazioni indesiderate nel segnale all'uscita del comparatore.



Per ovviare a questo inconveniente si ricorre alla così detta isteresi: si sfruttano le proprietà della reazione positiva.

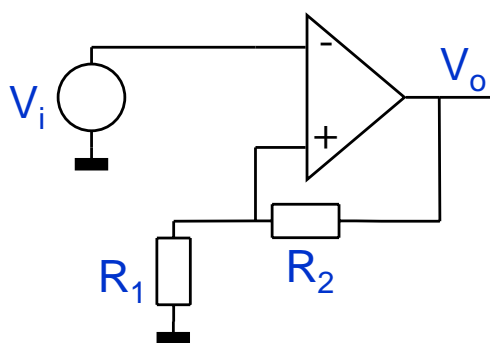


La reazione impiegata è rigenerativa, vale la relazione:

$$A_f = \frac{A}{1 - A\beta}$$

Perciò basta anche un piccolo impulso di rumore alla frequenza tale che il denominatore si annulla perché l'uscita scatti da una situazione di saturazione verso l'altra, o si discosti dalla situazione di equilibrio a 0 V. Il circuito si mantiene sostanzialmente in 2 situazioni: uscita al valore più basso o uscita al valore più alto.

I COMPARATORI 2



Supponiamo quindi nello stato basso, V_{OL} , l'uscita sia di 0 V, mentre nello stato alto, V_{OH} , sia di 5 V.

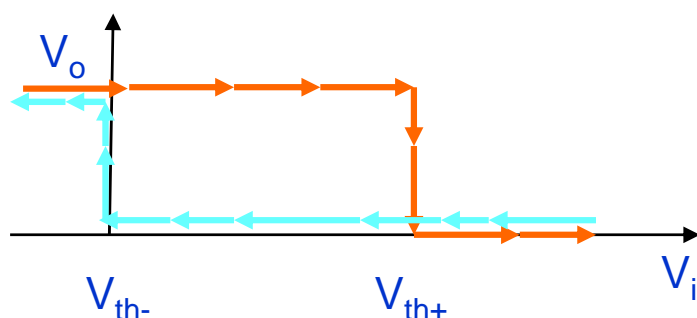
Se $V_i < V_+$ è $V_o = V_{OH}$. Ma se $V_o = V_{OH}$ V_+ è:

$$V_+ = \frac{R_1}{R_1 + R_2} V_{OH} = V_{th+}$$

Perciò se V_o si trova nello stato alto, l'uscita non commuta allo stato basso fino a che l'ingresso non diviene maggiore di V_{th+} .

Se V_i diviene $> V_{th+}$, l'uscita commuta allo stato $V_{OL} = 0$ V. V_+ in queste condizioni diviene: $V_+ = 0$ V = V_{th-} .

La nuova commutazione allo stato alto si ha quindi per un livello di tensione differente e più basso.



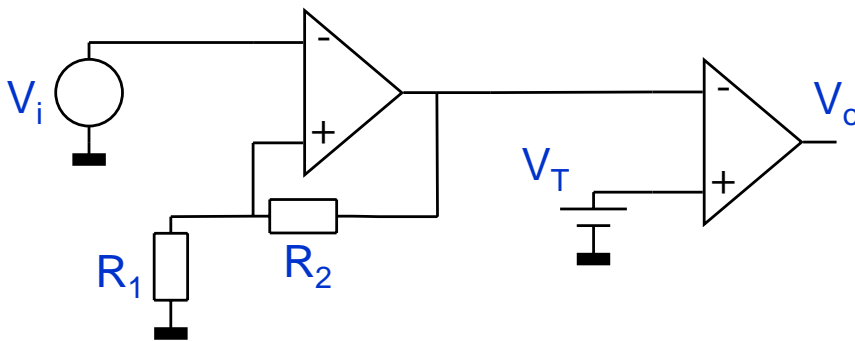
Regolando l'isteresi, la quantità $V_{th+} - V_{th-}$, ad essere superiore alla soglia di rumore si evita il fenomeno delle oscillazioni dello stato di uscita.

E' evidente che l'adozione di soluzioni circuitali opportune consente di regolare non solo l'ampiezza dell'isteresi ma anche il valore della soglia ed il segno del guadagno.

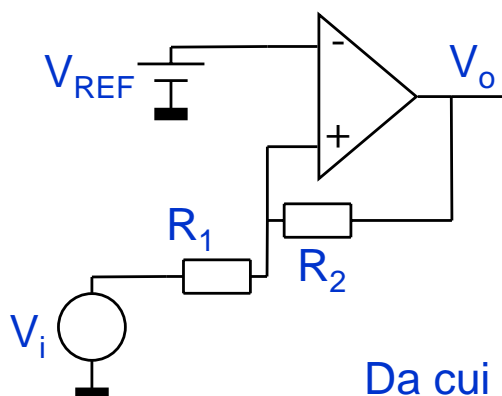
Vediamo come.

I COMPARATORI 3

Un modo ovvio per avere un guadagno positivo è quello di aggiungere un comparatore invertitore in cascata al primo. Sul secondo comparatore l'isteresi non serve giacché il primo presenta escursioni dell'uscita ampie ed improvvise. Non sempre però questioni di spazio e le limitazioni ai consumi di potenza consentono sperpero di risorse.



La soluzione alternativa che consente di avere un guadagno positivo con un solo comparatore è:



Sia $V_o = V_{OH}$. L'uscita diventa bassa quando $V_+ < V_- = V_{REF}$. Ma:

$$V_+ = \frac{R_2}{R_1 + R_2} V_i + \frac{R_1}{R_1 + R_2} V_{OH} < V_{REF}$$

Da cui segue che:

$$V_i < \frac{R_1 + R_2}{R_2} V_{REF} - \frac{R_1}{R_2} V_{OH} = V_{th-}$$

Una volta commutata a V_{OL} ($=0$ V) la nuova commutazione a V_{OH} si ha quando $V_+ > V_{REF}$ con:

$$V_i > \frac{R_1 + R_2}{R_2} V_{REF} = V_{th+}$$

Ora abbiamo che la soglia è diversa da 0 V e programmabile, mentre l'ampiezza dell'isteresi è:

$$\frac{R_1}{R_2} V_{OH}$$

I COMPARATORI 4

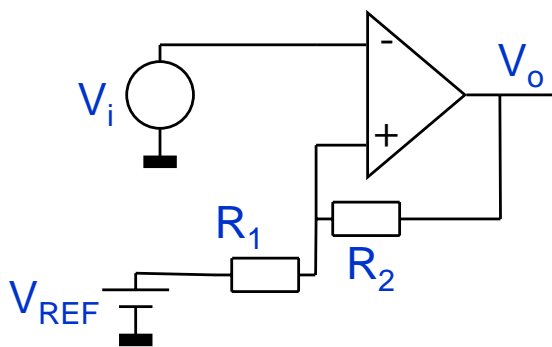
L'ampiezza dell'isteresi è una zona cieca. Di conseguenza si cerca di minimizzarla facendola di ampiezza poco superiore al rumore. Questo fa sì che in genere la resistenza R_2 sia \gg di R_1 .

Infatti, supponiamo che $V_{OH}=5\text{ V}$ e che si voglia $V_{th+} - V_{th-} = 10\text{ mV}$, risulta che:

$$\frac{R_1}{R_2} = \frac{10\text{ mV}}{V_{OH}} = 2 \times 10^{-3}$$

Vale a dire che se $R_2 = 1\text{ M}\Omega$ R_1 risulta solo di $R_1 = 2\text{ K}\Omega$.

Vediamo la configurazione invertente con soglia programmabile:



Ora la soglia V_{th+} è:

$$V_{th+} = \frac{R_2}{R_1 + R_2} V_{REF} + \frac{R_1}{R_1 + R_2} V_{OH}$$

Mentre quella bassa è:

$$V_{th-} = \frac{R_2}{R_1 + R_2} V_{REF}$$

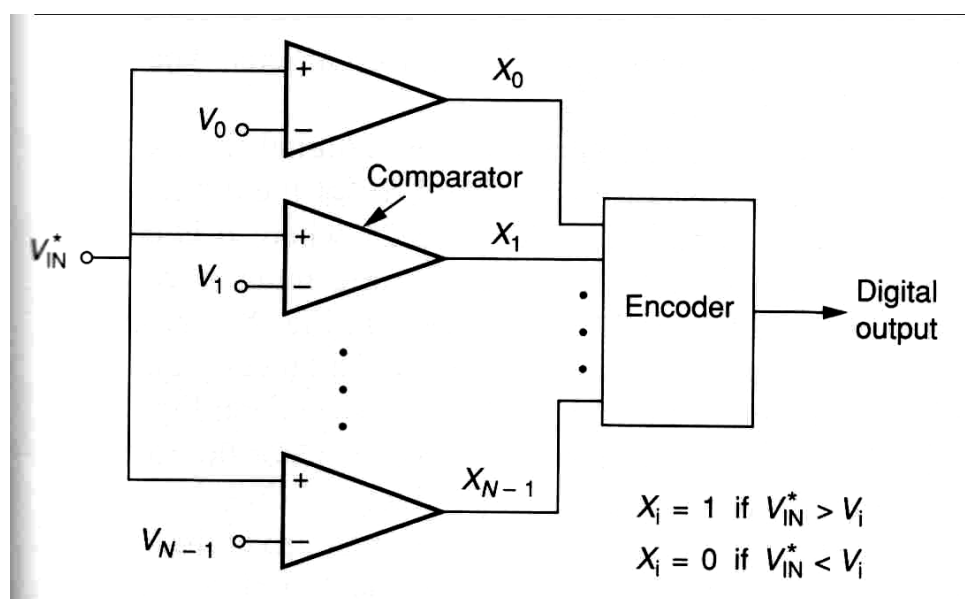
Quindi la soglia di scatto è: $\frac{R_2}{R_1 + R_2} V_{REF}$

mentre l'ampiezza dell'isteresi risulta: $\frac{R_1}{R_1 + R_2} V_{OH}$

Nella determinazione dell'ampiezza dell'isteresi quello che conta è pertanto ancora il rapporto R_1/R_2 .

I convertitori A/D 2

Lo schema di principio di un A/D è abbastanza semplice. Se devo convertire il valore di tensione in un numero ad N bit, dovrò potere discriminare tra 2^N valori di tensione. La cosa più immediata è disporre di 2^N discriminatori ognuno avente la propria soglia proporzionale al peso del bit corrispondente.

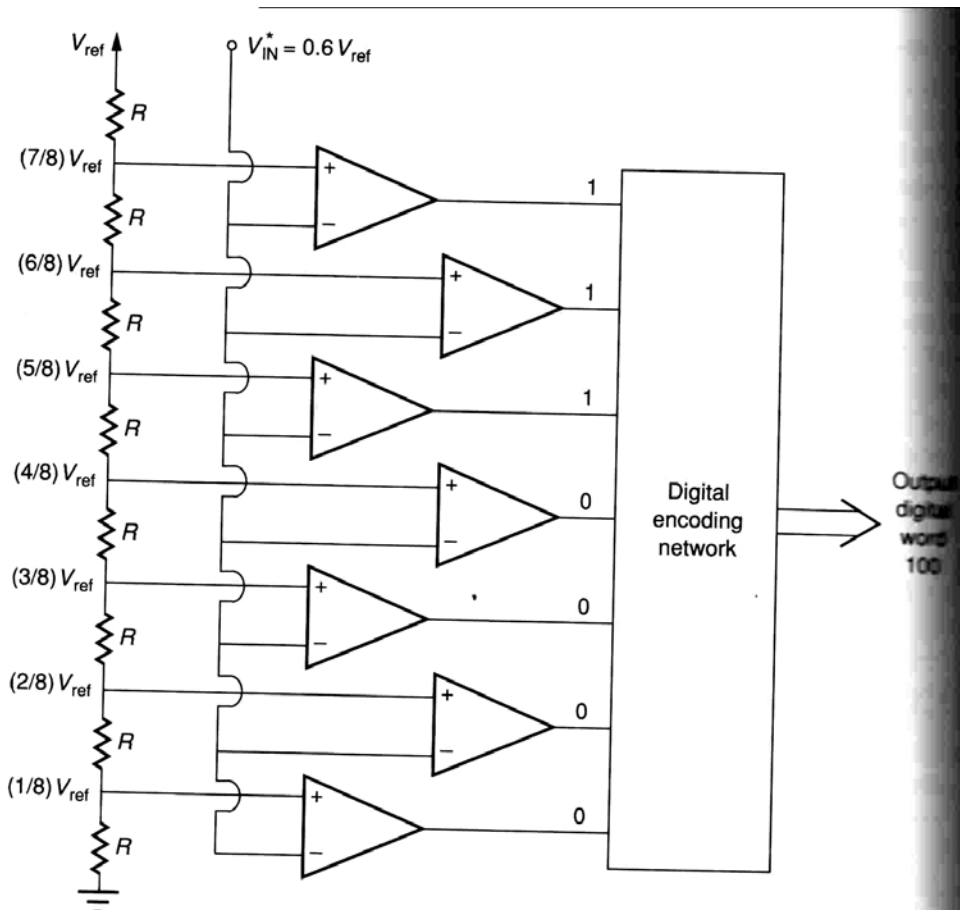


Succederà che se il livello X_K avrà l'uscita alta, la avranno alta anche tutti i livelli minore di questo. L'encoder deve allora assegnare all'uscita X_K il codice binario corrispondente.

I convertitori A/D 2

I convertitori soddisfacenti il principio di funzionamento appena visto vengono denominati **Flash ADC** grazie alla proprietà di potere effettuare la conversione in un colpo solo, istantaneamente.

L'architettura del FLASH ADC è visualizzata qui sotto con un esempio di convertitore a 3 bit, avente quindi $2^3=8$ livelli.



In questo esempio il comparatore viene fatto operare in logica negata, con il segnale di ingresso connesso al piedino invertente. Ciò significa che tutti i livelli superati determinano uno zero all'uscita del comparatore corrispondente. Nell'esempio 4 sono i livelli superati, che presentano uno zero all'uscita. Il codice assegnato dall'encoder è quindi $100_b=4_d$.

Svantaggi del convertitore FLASH:

1. Necessita di una grande occupazione di area nel circuito monolitico, infatti servono 2^N resistori (di uguale valore) e 2^N comparatori;
2. Non ha una grande precisione. E' difficile mantenere livelli di precisione elevati su di un numero così elevato di resistenze. Inoltre ogni comparatore presenta un offset di ingresso che determina un errore più o meno trascurabile.

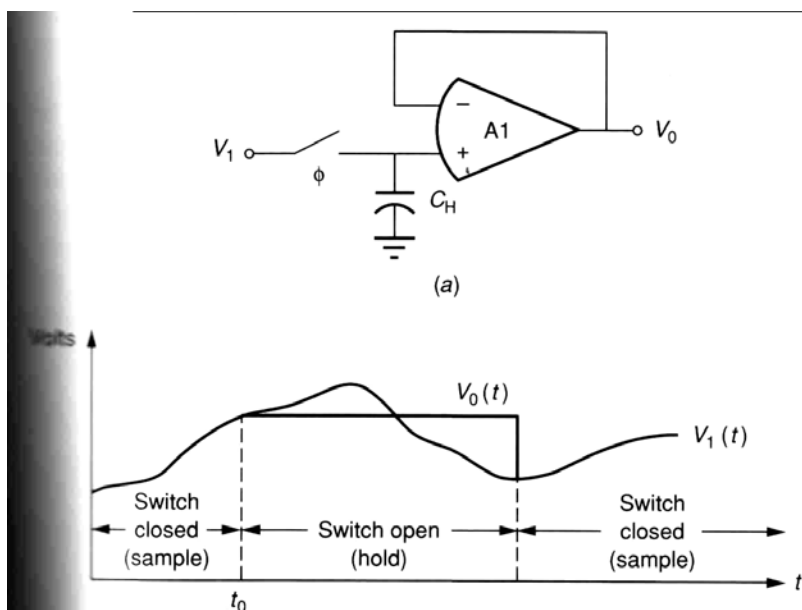
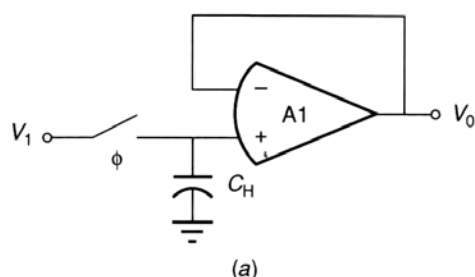
Vantaggi del convertitore FLASH:

Sono i più veloci tra tutti quelli disponibili giacché sono in grado di effettuare una conversione con un singolo colpo di clock. I FLASH ADC sono tipicamente utilizzati negli oscilloscopi digitali dove è richiesta velocità. Difatti gli oscilloscopi hanno risoluzioni tipiche di 8 bit.

Il concetto di mantenimento del segnale

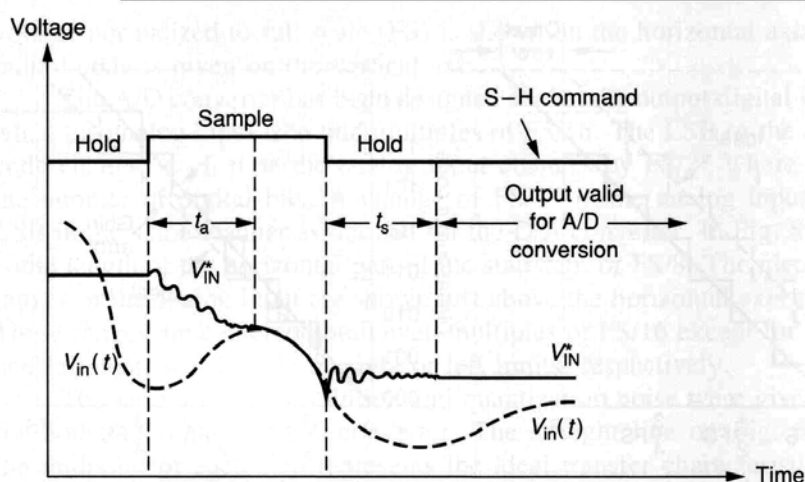
Nel convertitore Flash il processo di misura è molto veloce ed effettuato in tempi rapidi, tanto che il segnale di ingresso spesso non subisce variazioni temporali significative.

Nei convertitori che vedremo in seguito il processo di misura non è veloce. Spesso si richiede che il segnale da misurare non subisca variazioni significative, pena la perdita di accuratezza della misura. I circuiti in grado di effettuare questa sorta di memoria analogica momentanea vengono detti **Sample and Holder, SH**.



Fino a che l'interruttore rimane chiuso il segnale ai capi di C_H risulta uguale al segnale di ingresso V_i . Il segnale di uscita si dice che segue il segnale di ingresso. Nel momento in cui l'interruttore viene aperto il segnale ai capi della capacità rimane uguale a quello presente al momento dell'apertura. Il segnale di uscita rimane congelato per breve tempo.

Il tempo di congelamento dipende dal valore della resistenza parassita, o corrente di scarica, presente in parallelo a C_H . In genera il tempo di scarica è tale da consentire un agevole conversione del segnale presente al tempo di apertura dell'interruttore.



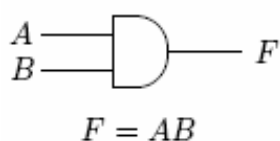
Sono 2 gli intervalli di tempo che caratterizzano un circuiti SH.

t_a è il tempo minimo che trascorrere tra una misura ed il successivo istante di Hold (acquisition time).

t_s è l'intervallo minimo che deve trascorrere affinché il dato campionato sia stabile (settling time).

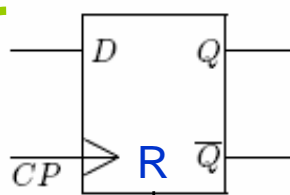
Convertitori ad integrazione: singola rampa

AND



A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

FF D



D_n	Q_{n+1}
0	0
1	1

Se $R=1 \Rightarrow Q_{n+1}=0$

Gen. Di
corrente

switch

C_{int}

Segnale dopo SH

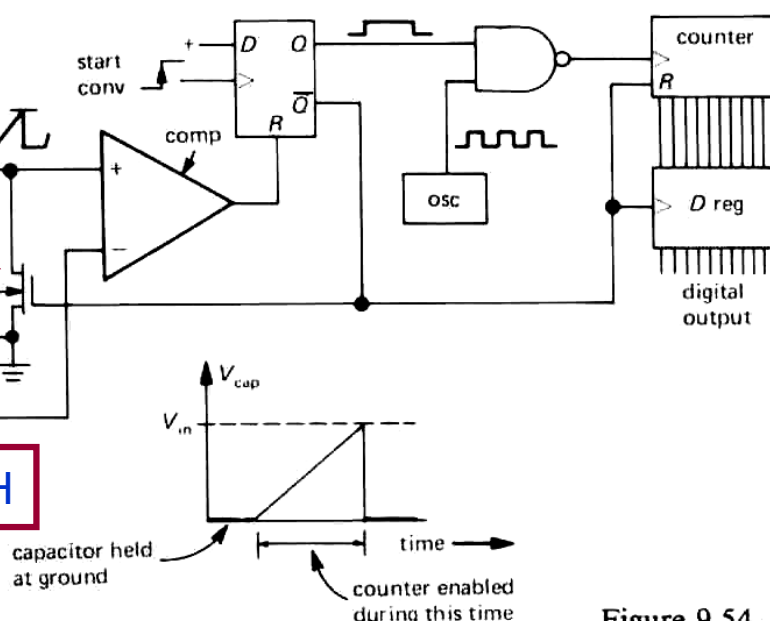


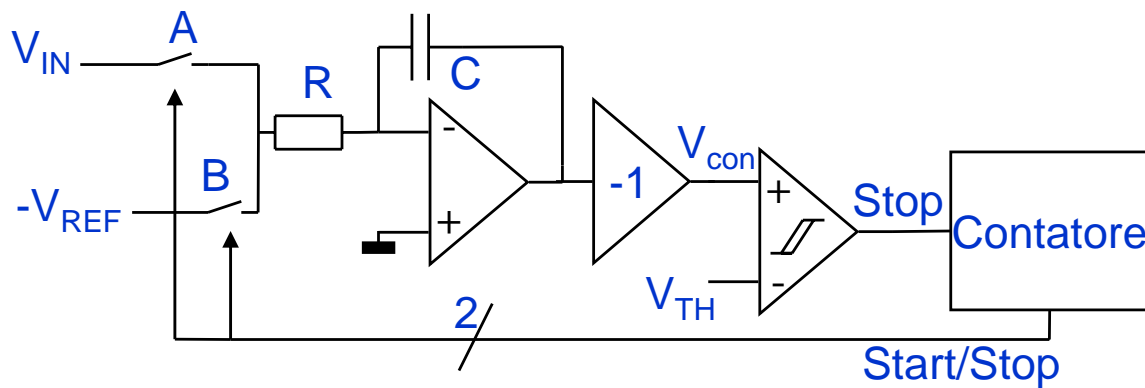
Figure 9.54. Sir

Successione degli eventi:

1. L'occorrenza dell'impulso di start alza l'uscita del FF che sblocca l'uscita della porta NAND ed apre l'interruttore presente all'ingresso del comparatore;
2. La capacità C_{int} è caricata linearmente nel tempo dal generatore di corrente;
3. Il comparatore confronta il segnale ai capi di C_{int} con il segnale di ingresso: quando la ddp ai capi di C_{int} diviene $>$ di V_{IN} l'uscita del comparatore si alza ed il FF viene resettato: l'uscita della porta NAND viene bloccata e l'interruttore viene di nuovo cortocircuitato;
4. Durante il periodo in cui l'uscita della porta NAND non risulta bloccata viene misurato il tempo mediante il contatore: si compie pertanto una conversione ampiezza-tempo.

La conversione è molto precisa, ma dipende dagli errori dovuti a C_{int} , l'offset del comparatore ed il valore della corrente di carica.

Convertitore a doppia rampa



Funzionamento:

- Viene riportato V_{con} alla soglia V_{TH} di scatto;
- Allo start viene chiuso A (mentre B rimane aperto) per N_{REF} conteggi di clock. Dopo il tempo $N_{REF}T$ è:

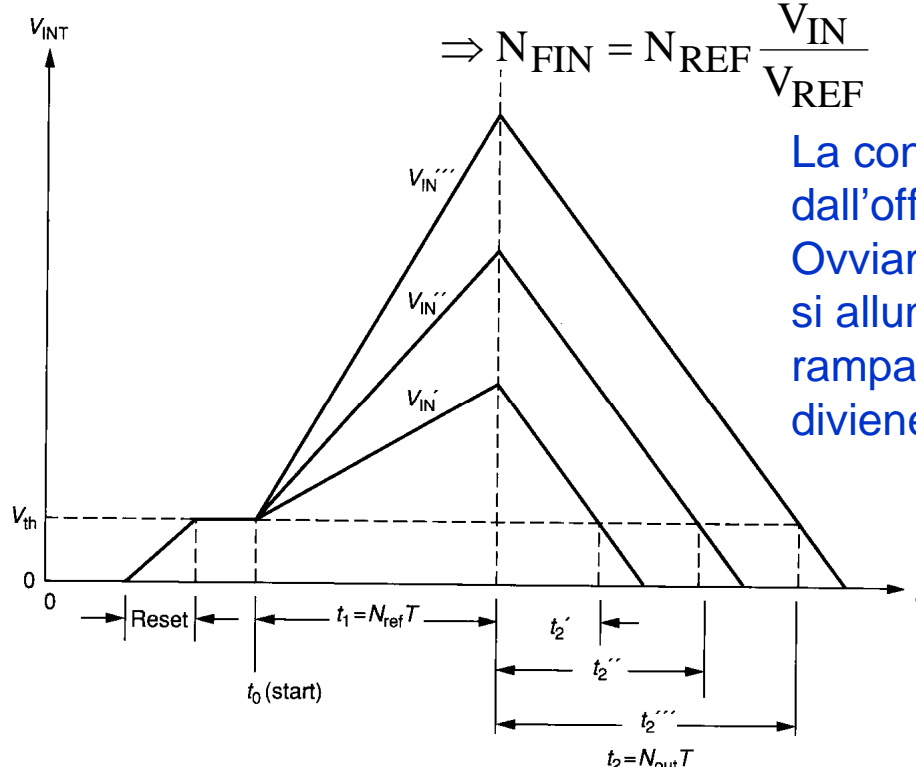
$$V_{con}(N_{REF}T) = \frac{1}{RC} N_{REF} T V_{IN} + V_{TH}$$

- All'istante successivo ad N_{REF} viene chiuso B (ed aperto A), quindi la capacità viene fatta scaricare fino a che il comparatore scatta verso il basso. Quando questo avviene si ha:

$$V_{con}(N_{FIN}T) = V_{TH} = V_{con}(N_{REF}T) - \frac{1}{RC} N_{FIN} T V_{REF}$$

$$V_{TH} = \frac{1}{RC} N_{REF} T V_{IN} + V_{TH} - \frac{1}{RC} N_{FIN} T V_{REF}$$

$$\Rightarrow N_{FIN} = N_{REF} \frac{V_{IN}}{V_{REF}}$$



La conversione finale non dipende dall'offset della soglia, da R e da C. Ovviamente il tempo di conversione si allunga rispetto al caso a singola rampa. Nelle peggiori condizioni diviene $2(2^N)T$.

I convertitori ad approssimazione successiva (SAR) 1

Il comportamento della tecnica SAR è visibile qui sotto. Sostanzialmente viene cercato il valore più prossimo a quello da convertire con tentativi successivi.

E' una modifica della tecnica sequenziale di confronto del valore da convertire con un segnale che si incrementa di un quanto ad ogni passo. In modo sequenziale il numero di passaggi può divenire anche di 2^N , se N è il numero di bit.

In modo più efficiente nella tecnica SAR si comincia paragonando il segnale di ingresso V_i con il valore di metà fondo scala, generato dal bit + significativo, b_N . Se V_i è maggiore se aggiunge un altro quarto di fondo scala, lasciando ad 1 b_N , altrimenti si paragona V_i con un quarto d fondo scala, e si pone a 0 b_N . Si ragiona in modo simile anche per il nuovo bit, b_{N-1} . Al successivo passaggio, bit b_{N-2} , si somma un ottavo di fondo scala al passaggio precedente, e così via fino ad arrivare al bit meno significativ

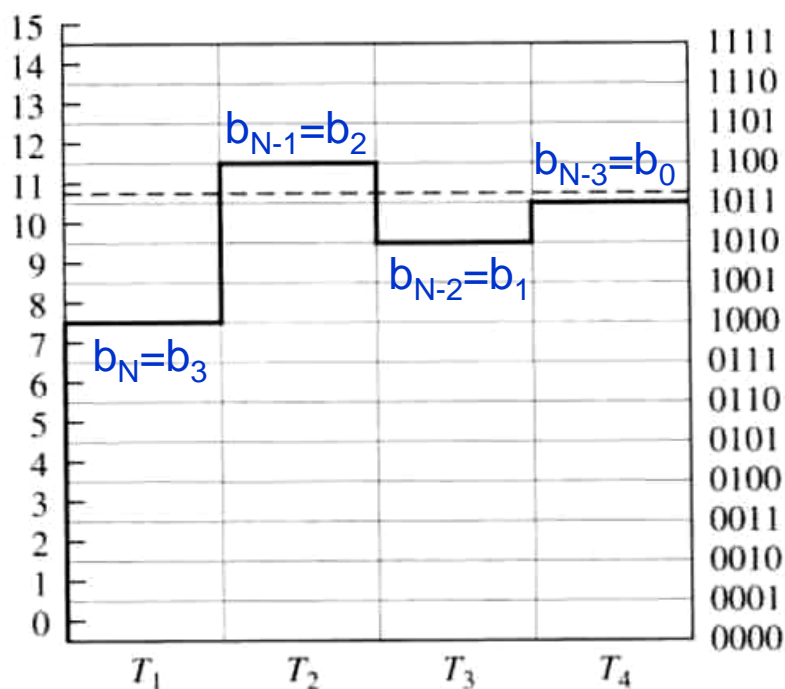


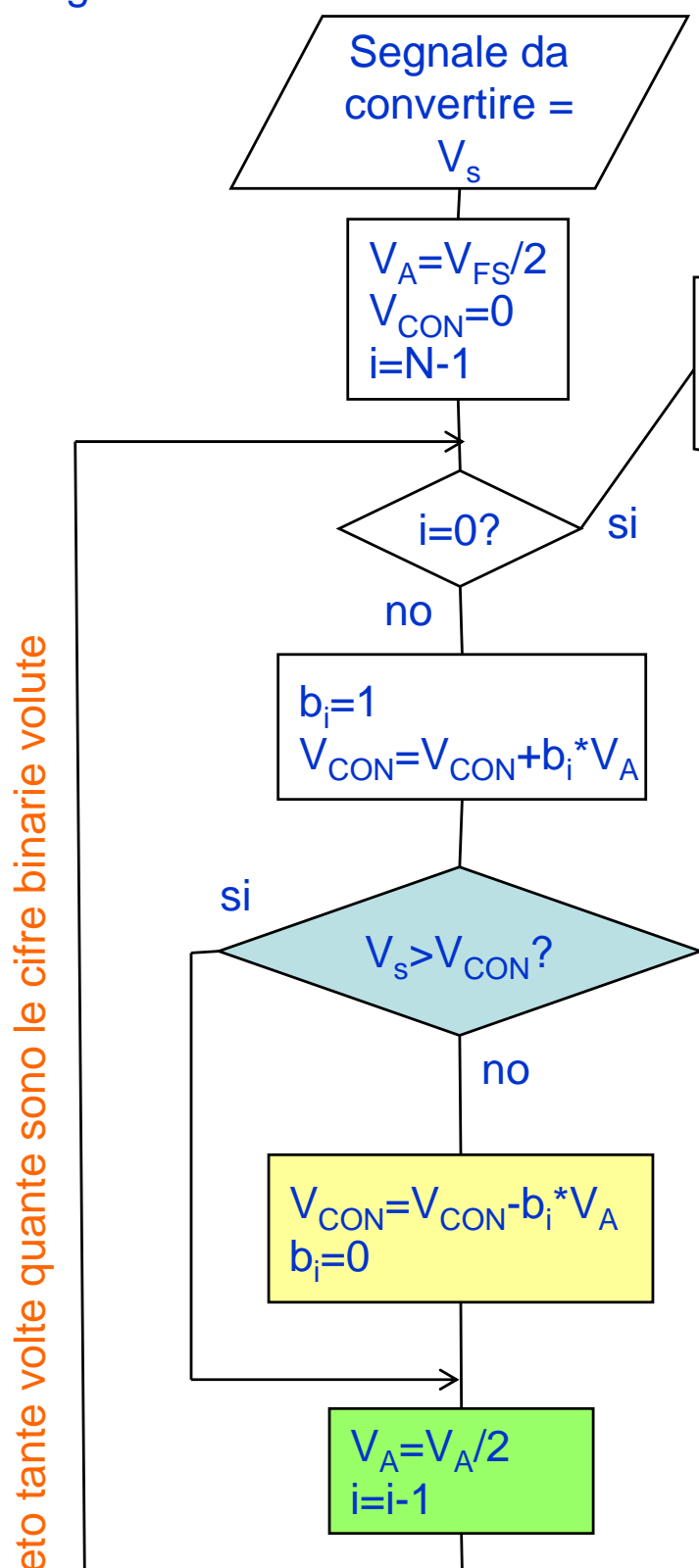
FIGURE 12.27

Idealized DAC output for the 4-bit successive-approximation conversion of $v_I = 10.8$ V with $V_{FSR} = 16$ V.

La efficacia della tecnica sta nel fatto che la ricerca non è sequenziale, ma 'binaria'. In questo modo il numero di passaggi è fisso ed uguale al numero di bit.

I convertitori ad approssimazione successiva 2

Algoritmo di funzionamento:



Codice MatLab

```
Vs=2.215; %Segnale di ingresso
Va=2.5; %Il fondo scala e' 2*Va=5V
Vcon=0;
N_bit=22;
b=[];
for i=(N_bit-1):-1:0 %Conversione a
N_bit bit
    b(i+1)=1;
    Vcon=Vcon+b(i+1)*Va;
    if Vs<Vcon
        Vcon=Vcon-b(i+1)*Va;
        b(i+1)=0;
    end
    Va=Va/2;
end
b((N_bit-1):-1:1)
dec=binvec2dec(b)
Conversione=5*dec/2^N_bit
Errore=Conversione-Vs
```

I convertitori ad approssimazione successiva 3

Un convertitore ad approssimazioni successive contiene quindi al suo interno un convertitore D/A avente lo stesso numero di bit.

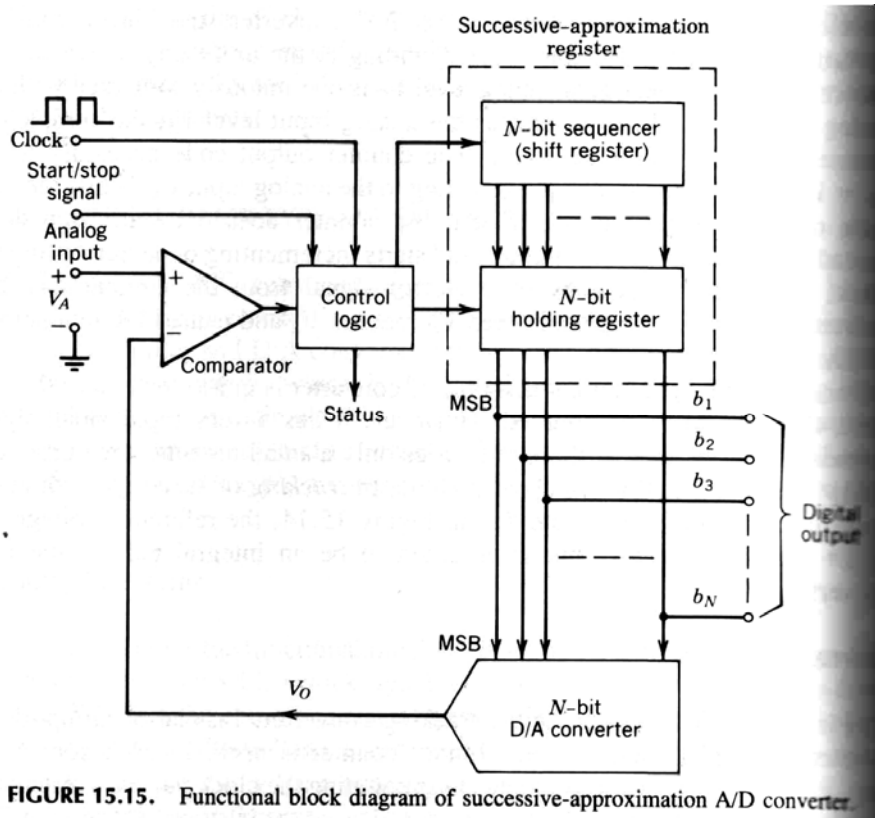


FIGURE 15.15. Functional block diagram of successive-approximation A/D converter.

Il concetto è quindi di generare un codice che viene tradotto in un segnale analogico da confrontare con il segnale di ingresso (su cui si è fatto un SH). Il codice, ad ogni passo, approssima sempre di più il segnale di ingresso. Il segnale generato ad ogni passaggio è usato per generare il nuovo segnale di confronto. L'efficienza dell'algoritmo sta nel fatto che occorrono solo N passaggi (uguali al numero di bit di risoluzione) per determinare il codice finale.

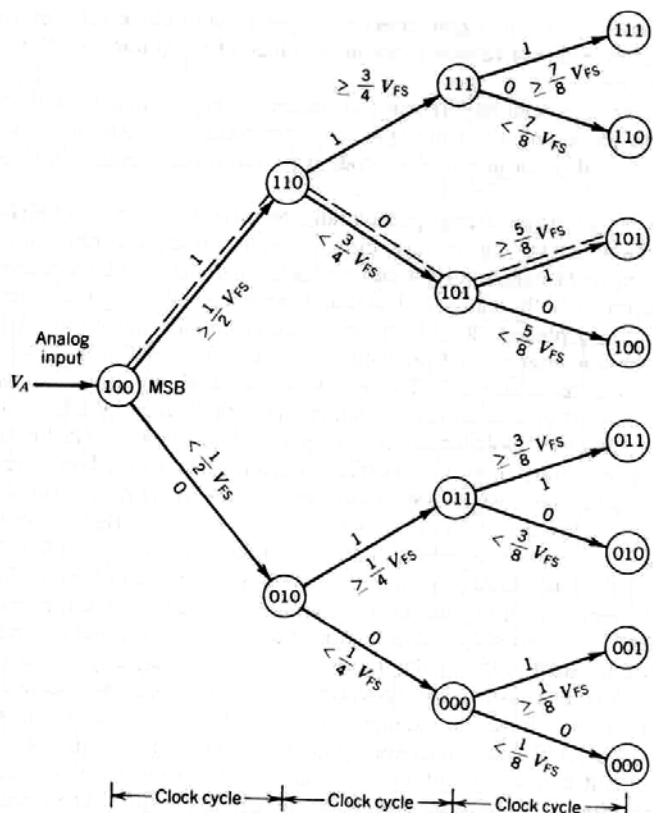


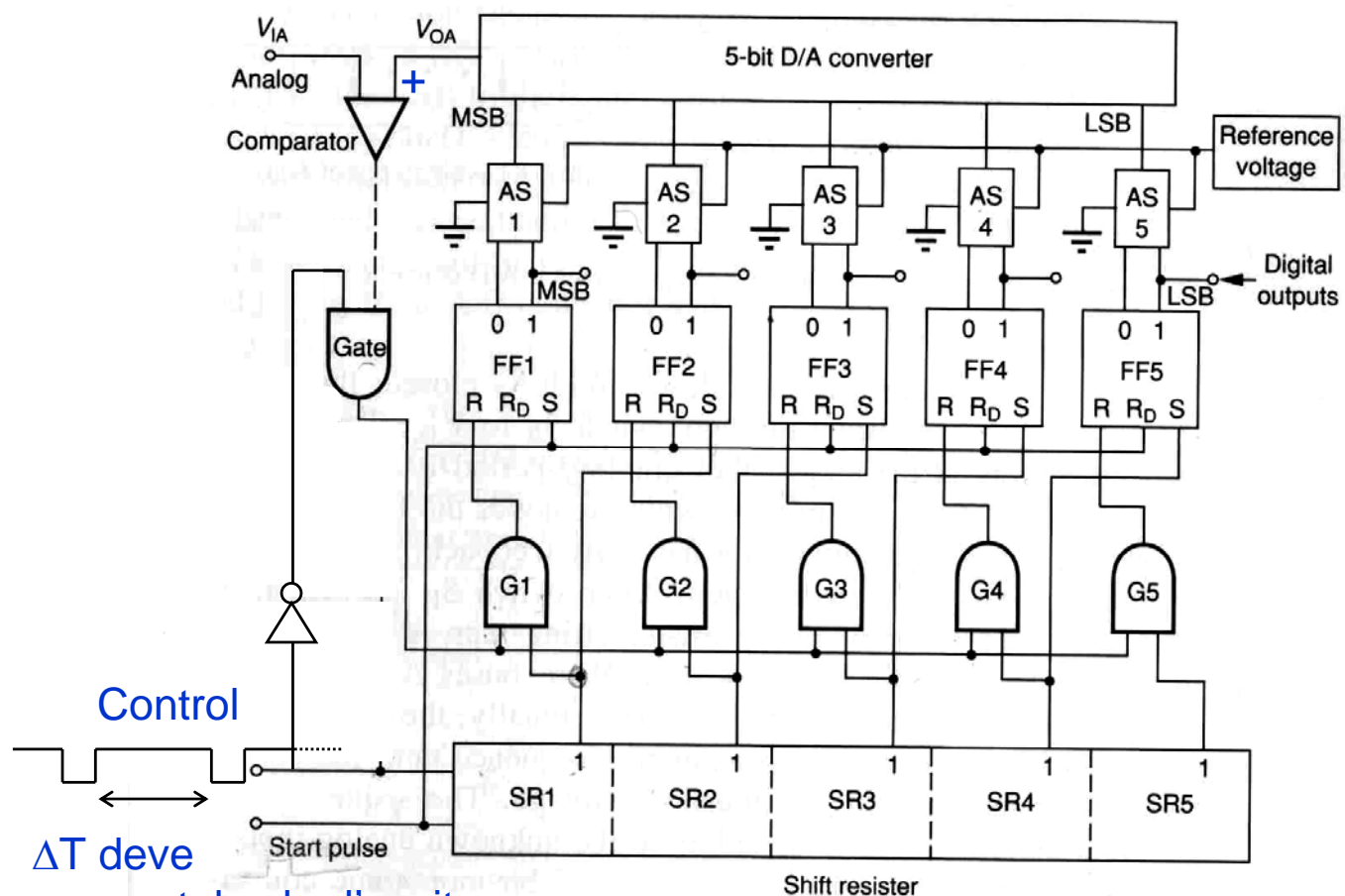
FIGURE 15.16. Decision diagram for 3-bit successive-approximation A/D converter. (Note: Dashed line indicates sequence of decision process leading to a 101 code.)

Le varie possibilità che si presentano e che possono venire seguite sono indicate qui. Ad ogni passaggio si pone ad 1 un bit, partendo dal MSB, e si aggiunge una tensione di peso corrispondente al codice del momento. Se il segnale risulta maggiore della tensione generata il bit viene lasciato 1, altrimenti si azzerà. Si itera il processo con il bit successivo fino al LSB.

I convertitori ad approssimazione successiva 4

Vediamo un esempio di convertitore ad Approssimazioni successive:

1. Si comincia con l'impulso di Start, con il quale si pone il registro a scorrimento nelle condizioni iniziali. Si attiva alta l'uscita del FF1, mentre si azzerano tutti gli altri FF: il FF1 abilita l'interruttore AS1 a porre sulla propria uscita la tensione V_{REF} opportunamente pesata.
2. A questo punto il comparatore confronta l'uscita del DAC con quella del segnale di ingresso, se è più alta la sua uscita diviene 1.
3. All'occorrenza del segnale di controllo occorrono più cose. Un 1 viene traslato nella prima cella del registro a scorrimento. Questo 1 abilita sia Gate che G1 attraverso i quali FF1 viene o meno azzerato in funzione della decisione del comparatore. Inoltre viene posta ad 1 l'uscita di FF2 che consentirà la generazione del segnale corrispondente al bit successivo al MSB.
4. Il processo viene iterato e terminerà con l'LSB.



ΔT deve essere tale che l'uscita del comparatore sia stabile.

Convertitori 'subrange'

Questo tipo di convertitori sono un misto tra tecnica FLASH e ad approssimazioni successive.

Si supponga di dovere realizzare un convertitore a 8 bit. Dividiamo in 2 convertitori FLASH da 4 bit ognuno.

Il primo set di conversione ci determina i 4 bit più significativi.

Questo codice lo facciamo riconvertire da un DAC veloce e lo sottraiamo dal segnale di ingresso.

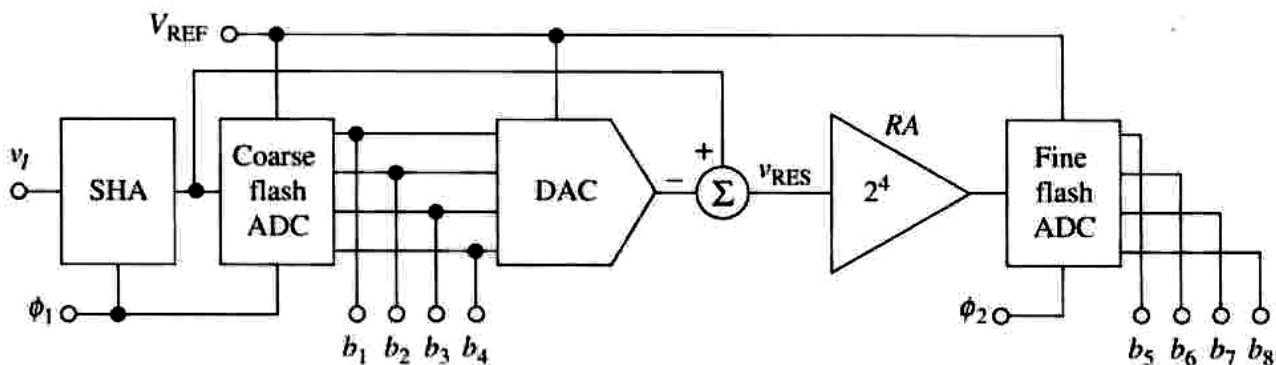


FIGURE 12.32
8-bit subranging ADC. (Note that DAC must be 8-bit accurate.)

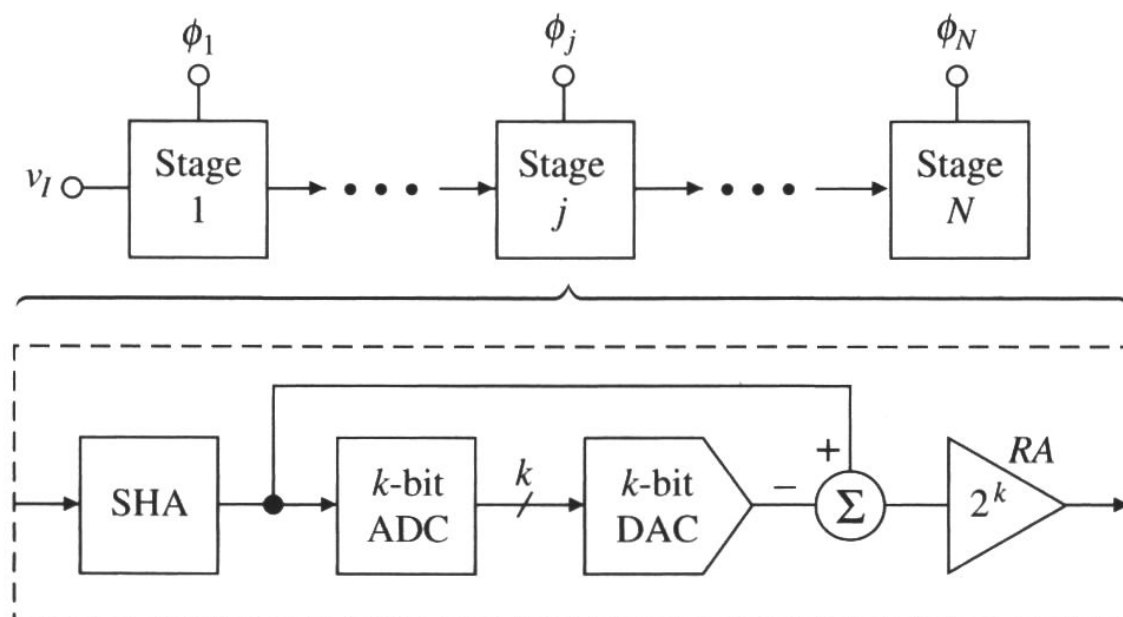
Il valore residuo lo amplifichiamo per 2^4 . E lo riconvertiamo. Così facendo otterremo i 4 bit meno significativi.

Alla fine del processo avremmo la conversione completa.

Il sistema è più lento di un FLASH a 8 bit, ma più veloce di un SAR. Il suo vantaggio è che fa uso di solo $2(2^4-1)$ comparatori in luogo di 2^8 .

ADC di tipo Pipeline

Gli ADC sub-range sono una classe della più ampia categoria degli ADC di tipo pipeline:



Il concetto è molto semplice. Abbiamo più stadi in cascata.

Ogni stadio riceve un ingresso analogico e produce un segnale digitale risultato della sua conversione, ed un segnale analogico pari alla differenza tra il segnale presente al suo ingresso ed il suo codice prodotto, riconvertito da un DAC veloce. Questo segnale analogico è amplificato in proporzione al proprio codice.

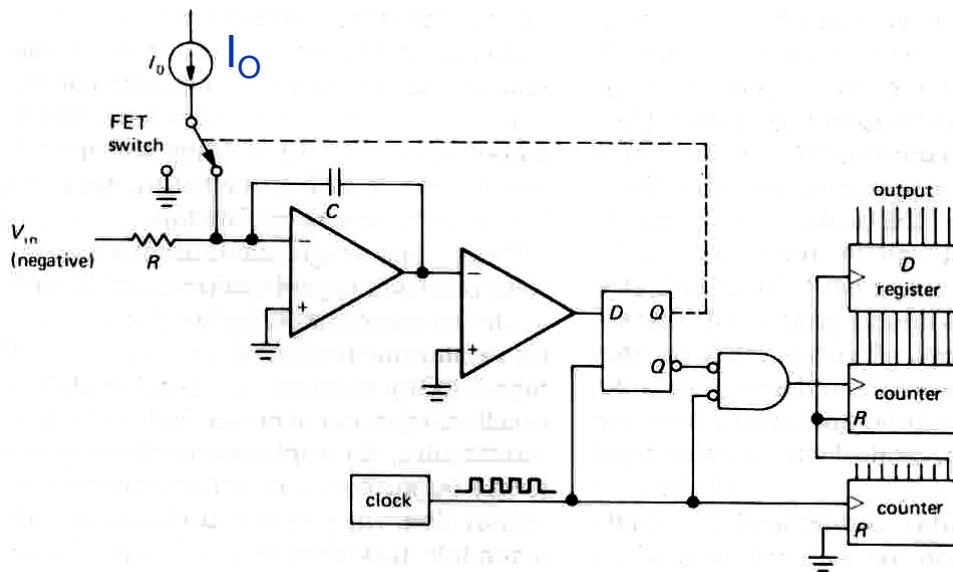
Ovviamente ogni stadio deve attendere la conversione del precedente stadio affinché possa operare. Ogni stadio presenta al proprio ingresso un SHA (eventualmente).

Tutto questo consente un risparmio di risorse HD nel circuito integrato che vanno a discapito di velocità e precisione.

A volte, per ottimizzare i tempi si mischiano FLASH ADC a SAR ADC. Questi ultimi posti negli stadi di uscita per via della loro precisione.

Convertitori Delta-Sigma

I convertitori $\Delta\Sigma$ consentono di ottenere accuratissime molto elevate perché consentono di eliminare gli errori dovuti agli offset dei comparatori, derive dei componenti, ecc. In compenso sono estremamente lenti. Se f è la frequenza di campionamento e si vuole una risoluzione ad N bit allora il convertitore deve essere in grado di funzionare, ovvero sovra-campionare, ad una frequenza molto elevata rispetto a quella di Nyquist.



Ad ogni impulso di clock l'uscita del comparatore viene memorizzata dal FF. Questa uscita abilita l'iniezione della corrente I_0 nel nodo invertente se $FF_Q=1$, altrimenti tale corrente viene dirottata verso massa. Come si può osservare la struttura è reazionata.

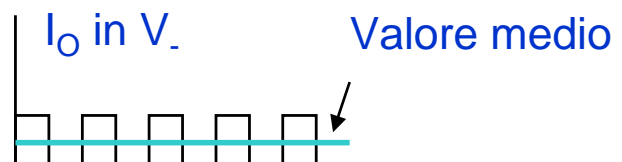
La condizione di equilibrio si ottiene quando la corrente media iniettata uguaglia la corrente che scorre in R . In tale situazione l'uscita dell'OA dovrà essere prossima a zero.

Il numero di impulsi alti conteggiati durante il periodo di misura è proporzionale al valore del segnale di ingresso.

Es.

Per funzionare il sistema sopra deve essere $V_{IN} \leq 0$. Inoltre se V_{FS} (<0) è il fondo scala deve essere $V_{IN} \geq V_{FS}$. Perché il tutto sia coerente deve inoltre essere che $|V_{FS}/R|=I_0$.

Se $V_{IN}=V_{FS}/2$ deve essere che:



Ovvero il valore medio deve essere $I_0/2$, che si ottiene con un duty cycle regolare, verificato quando il numero di impulsi iniettati è esattamente $2^N/2$, ovvero la mezza scala.

Per ogni altro valore vale un discorso equivalente e proporzionale.

Sovracampionamento 1

La risoluzione ottenibile nella conversione si può incrementare, a parità di ADC, ricorrendo al così detto sovracampionamento. Il campionamento del segnale eseguito ad una frequenza molto maggiore di quella minima necessaria per potere ricostruire il segnale campionato.

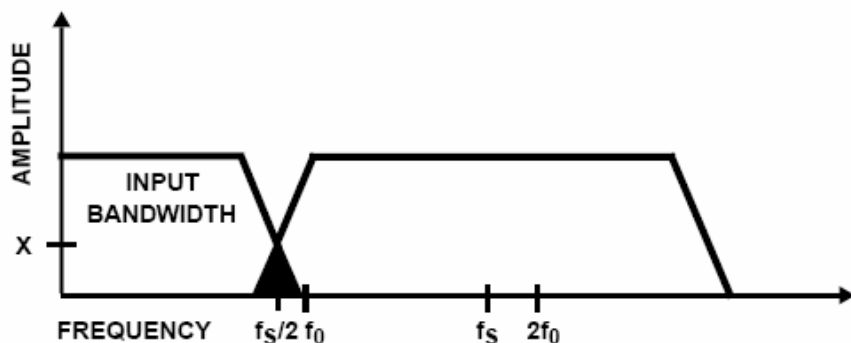


FIGURE 2A. UNDERSAMPLED SIGNAL SPECTRUM

Aliasing, $f_s < 2f_0$

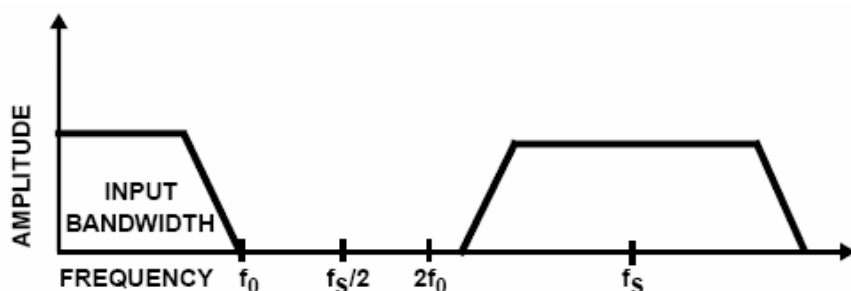
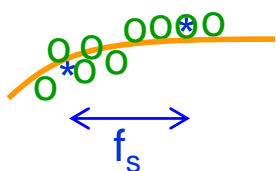


FIGURE 2B. OVERSAMPLED SIGNAL SPECTRUM

Dal Teo del campionamento sappiamo che la frequenza f_s di campionamento deve essere almeno il doppio della frequenza massima contenuta nel segnale, per evitare il fenomeno dell'aliasing.

Campionando ad $f_{sc} \gg f_s$ si elimina il fenomeno dell'aliasing. Ma non solo.

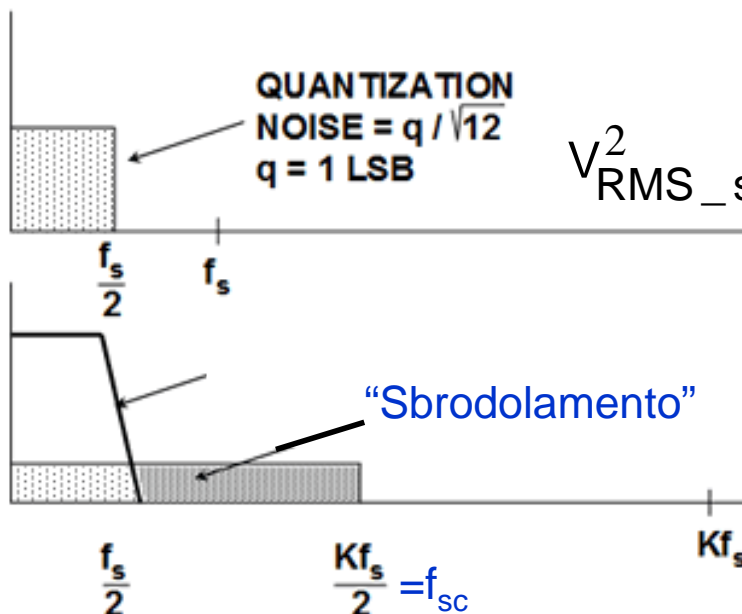


Il concetto di sovracampionamento è legato al concetto di interpolazione. Se io campiono fittamente posso interpolare, o filtrare, i dati ottenendo una curva estrapolata più prossima a quella reale. Dai dati interpolati posso estrarre i valori ad f_s con maggiore precisione.

Sostanzialmente l'interpolazione mi consente di attenuare il rumore di quantizzazione.

Sovracampionamento 2

Siccome alla frequenza di sovracampionamento il rumore di quantizzazione è rimasto invariato e alla frequenza f_s ho ottenuto un beneficio, l'effetto è stato quello di “sbrodolare” il rumore su tutto l'intervallo di frequenza utilizzato.



Si può allora scrivere che:

$$V_{\text{RMS_sc}}^2 = \int_{-f_{sc}}^{f_{sc}} \overline{e_Q^2} df = \overline{e_Q^2} 2f_{sc} =$$

$$= \frac{\text{LSB}^2}{12} \Rightarrow \overline{e_Q^2} = \frac{1}{2f_{sc}} \frac{\text{LSB}^2}{12}$$

Di conseguenza, alla frequenza f_s il rumore si riduce a:

$$V_{\text{RMS}}^2 = \int_{-f_s}^{f_s} \overline{e_Q^2} df = \overline{e_Q^2} 2f_s = \frac{\text{LSB}^2}{12} \frac{f_s}{f_{sc}}$$

Ricordando la definizione del rapporto S/N:

$$\text{S/N}|_{sc}(\text{dB}) = 10 \log_{10} \left[\frac{FS/\sqrt{8}}{FS/[2^N \sqrt{12} \sqrt{f_s/f_{sc}}]} \right]^2$$

$$= 20 \log_{10}(2^N) + 20 \log_{10}(\sqrt{12/8}) + 10 \log_{10} \left(\frac{f_{sc}}{f_s} \right)$$

$$= 6.02N + 1.76 + 10 \log_{10} \left(\frac{f_{sc}}{f_s} \right)$$

$$= 6.02 \left[N + 1.66 \log_{10} \left(\frac{f_{sc}}{f_s} \right) \right] + 1.76$$

Sovracampionamento 3

$$S/N|_{sc}(\text{dB}) = 6.02 \left[N + 1.66 \log_{10} \left(\frac{f_{sc}}{f_s} \right) \right] + 1.76$$

Il sovracampionamento ci consente di incrementare il numero effettivo di bit di una quantità:

$$\Delta N = 1.66 \log_{10} \left(\frac{f_{sc}}{f_s} \right) \approx 0.5 \text{ bit per ogni raddoppio del rapporto } \frac{f_{sc}}{f_s}$$

La tecnica del sovracampionamento è molto utile ed utilizzata, ma poco efficiente.

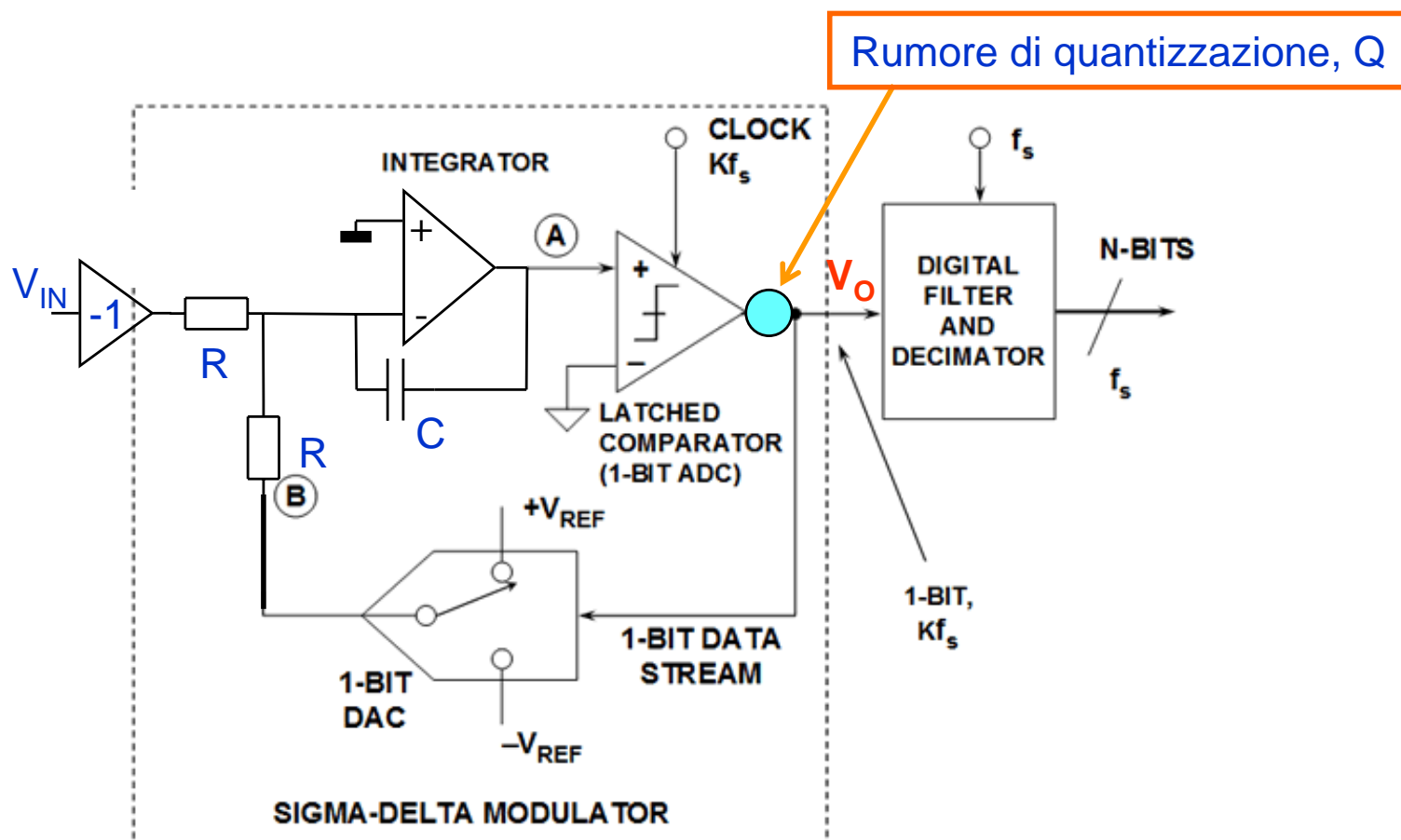
Se vogliamo aumentare il numero di bit di N dobbiamo aumentare la frequenza di campionamento di 2^{2N} . Un fattore che può essere molto elevato.

La tecnica $\Sigma\Delta$ ci consente di potere rendere più efficiente il rendimento proveniente dal sovracampionamento se il concetto visto prima lo rendiamo concettualmente più complicato, ma di facile implementazione con le tecniche CMOS attuali.

Il trucco sta nel realizzare in modo opportuno l'integratore ed aggiungere un filtro passa basso ed un decimatore opportunamente progettati.

La tecnica $\Sigma\Delta$ 1

Per capire il concetto traduciamo la rete in forma quasi analogica:



Ovviamente il sistema è reazionato negativamente. Risulta che:

$$V_O = \frac{V_{IN}}{1 + sCR} + \frac{sCR}{1 + sCR} Q$$

Siccome il campionamento è molto veloce possiamo permetterci di scegliere RC confrontabile a $2\pi f_{sc} = \omega_{sc}$:

$$V_O = \frac{V_{IN}}{1 + s/\omega_{sc}} + \frac{s/\omega_{sc}}{1 + s/\omega_{sc}} Q$$

Già da qui si può osservare come il rumore abbia meno effetti a bassa frequenza. Possiamo comunque fare una valutazione.

La tecnica $\Sigma\Delta$ 2

Considerando $2\pi f_s = \omega_s \ll \omega_{sc}$, vale che:

$$\begin{aligned} V_{\text{RMS}}^2 &= \int_{-f_s}^{f_s} \overline{e_Q^2} \left| \frac{s/\omega_{sc}}{1 + s/\omega_{sc}} \right|^2 df \approx \int_{-f_s}^{f_s} \overline{e_Q^2} \left(\frac{f}{f_{sc}} \right)^2 df \\ &= \frac{2}{3} \frac{\overline{e_Q^2}}{f_{sc}^2} f_s^3 = \frac{1}{3} \left(\frac{f_s}{f_{sc}} \right)^3 \frac{\text{LSB}^2}{12} \end{aligned}$$

Verificando il S/N come nel caso precedente otteniamo che il miglioramento in questo caso nella precisione diviene:

$$S/N|_{sc} \text{ (dB)} = 6.02 \left[N + 4.98 \log_{10} \left(\frac{f_{sc}}{f_s} \right) \right] + 6.53$$

$$\Delta N = 4.98 \log_{10} \left(\frac{f_{sc}}{f_s} \right) \approx 1.5 \text{ bit per ogni raddoppio del rapporto } \frac{f_{sc}}{f_s}$$

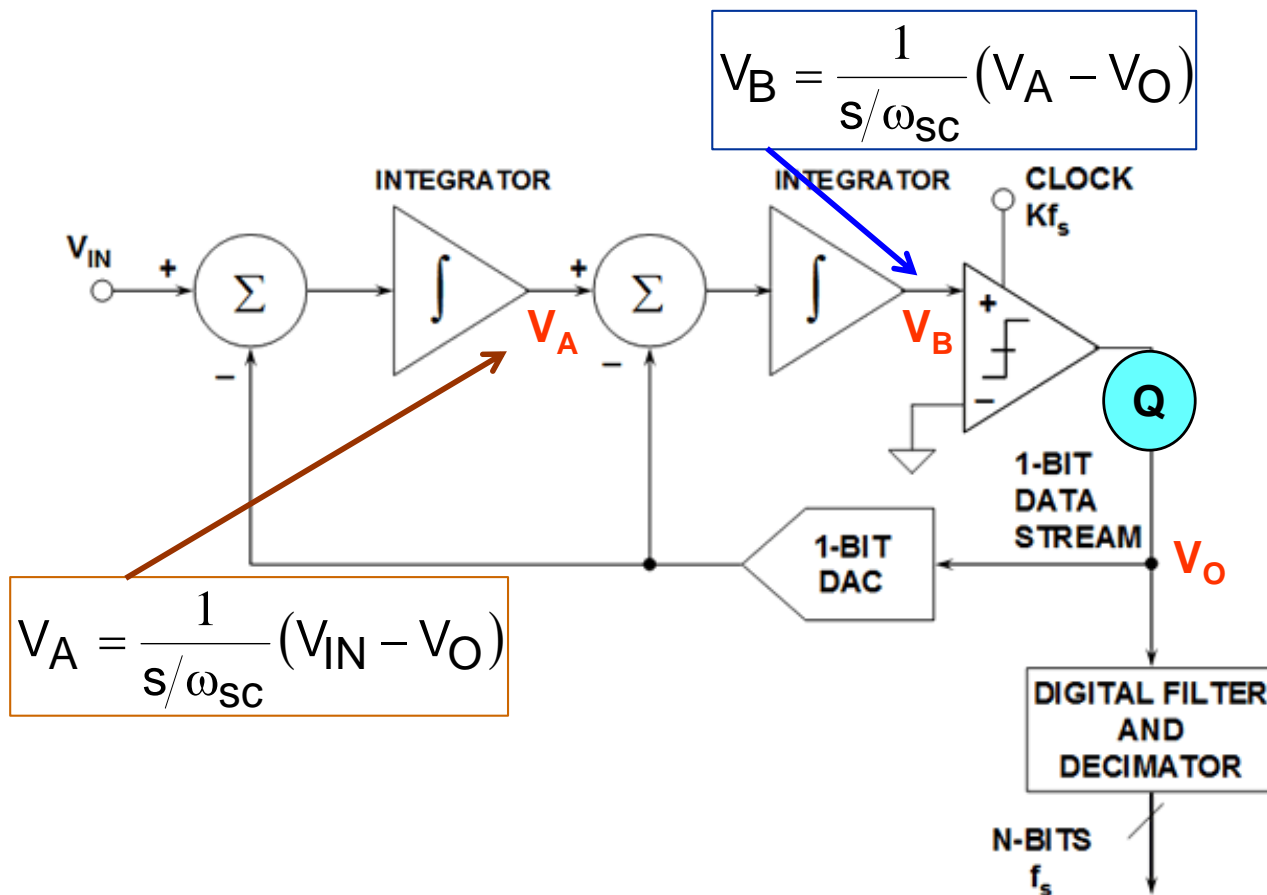
Il miglioramento è ragguardevole. Comunque va osservato che si parte da 1 bit di risoluzione. Per cui la frequenza f_{sc} deve comunque essere elevata.

Un compito importante è svolto nel blocco di filtro digitale e decimazione, che svolgono il compito di tagliare il rumore di alta frequenza e ridurre l'alto numero di conteggi alla frequenza di campionamento.

Quello visto è un ADC $\Sigma\Delta$ del primo ordine.

E' possibile migliorare ulteriormente la resa adottando convertitori $\Sigma\Delta$ di ordine superiore.

La tecnica $\Sigma\Delta$ 3



Componendo:

$$V_O = \frac{V_{IN}}{(s/\omega_{SC})^2} - \left(\frac{1}{(s/\omega_{SC})^2} + \frac{1}{(s/\omega_{SC})} \right) V_O + Q$$

Da cui:

$$V_O = \frac{V_{IN}}{(s/\omega_{SC})^2 + s/\omega_{SC} + 1} + \frac{(s/\omega_{SC})^2}{(s/\omega_{SC})^2 + s/\omega_{SC} + 1} Q$$

Perciò qui abbiamo addirittura che la reiezione è proporzionale al quadrato della frequenza.

La tecnica $\Sigma\Delta$ 4

Possiamo quindi scrivere che:

$$V_{\text{RMS}}^2 \approx \int_{-f_s}^{f_s} \overline{e_Q^2} \left(\frac{f}{f_{\text{sc}}} \right)^4 df$$

$$= \frac{2}{5} \frac{\overline{e_Q^2}}{f_{\text{sc}}^4} f_s^5 = \frac{1}{5} \left(\frac{f_s}{f_{\text{sc}}} \right)^5 \frac{\text{LSB}^2}{12}$$

L'incremento della risoluzione è ora:

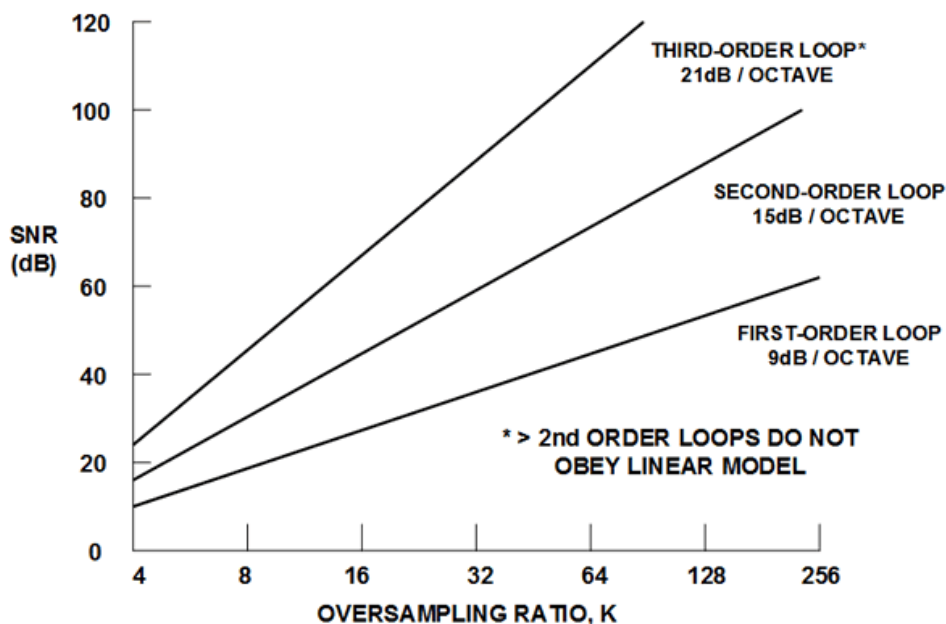
$$S/N|_{\text{sc}} (\text{dB}) = 6.02 \left[N + 8.31 \log_{10} \left(\frac{f_{\text{sc}}}{f_s} \right) \right] + 8.75$$

Vale a dire che:

$$\Delta N = 8.31 \log_{10} \left(\frac{f_{\text{sc}}}{f_s} \right) \approx 2.5 \text{ bit per ogni raddoppio del rapporto } \frac{f_{\text{sc}}}{f_s}$$

Nel convertitore $\Sigma\Delta$ del II ordine abbiamo ben 2.5 bit di incremento della risoluzione per ogni incremento di un fattore 2 della frequenza di campionamento.

L'adozione di un buon filtro digitale ed un buon decimatore consentirebbero agevolmente di ottenere lo scopo.

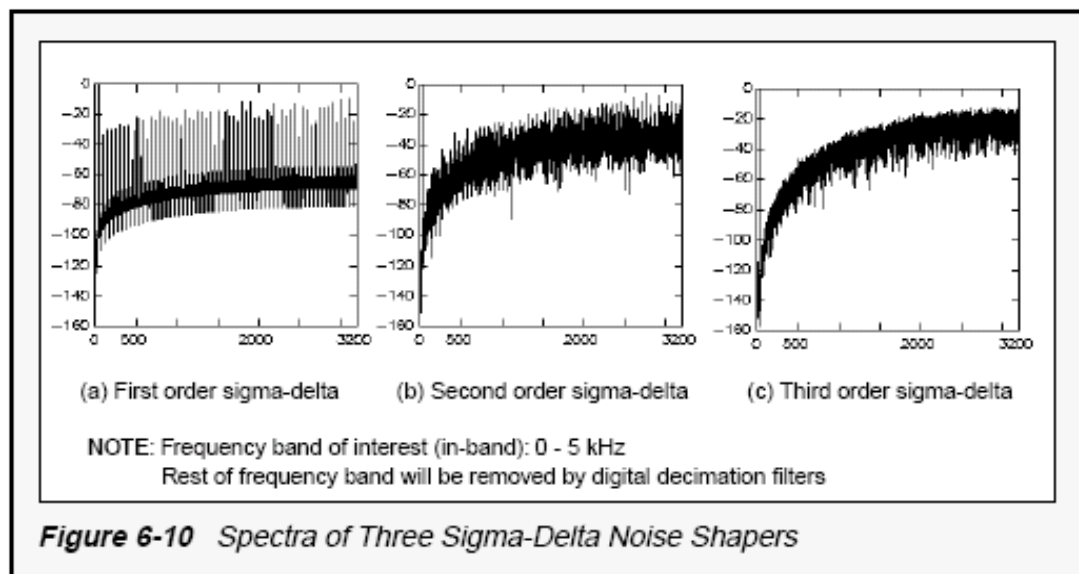
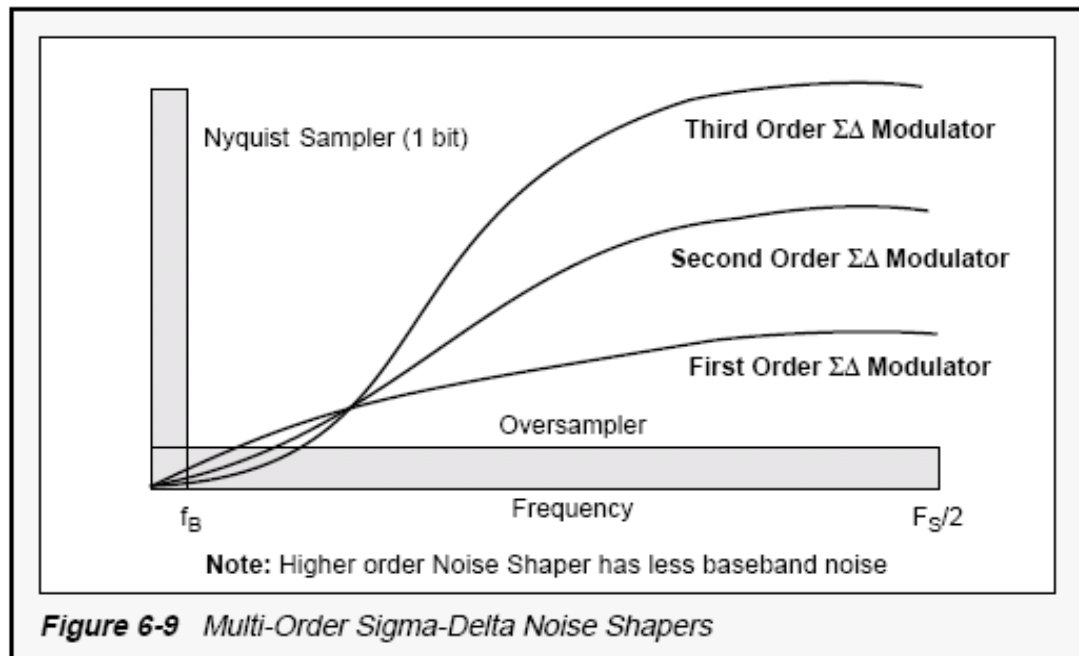


Si può vedere come il S/N migliora in funzione del rapporto f_{sc}/f_s per convertitori del I, II e III ordine.

La tecnica $\Sigma\Delta$ 5

E' interessante comparare il rumore come viene fatto slittare ad alta frequenza.

Negli spettri sotto la banda del segnale è localizzata in un angolino vicino all'origine.

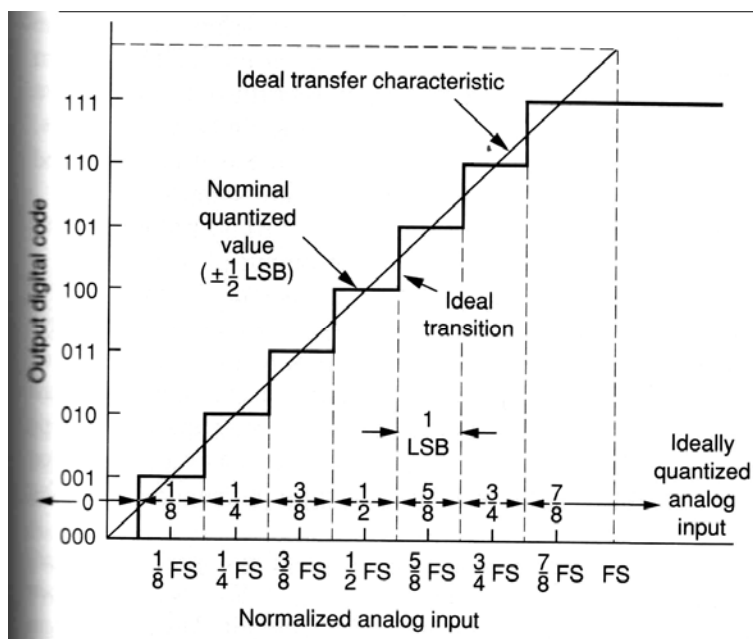


Va osservato che si trovano sul mercato anche convertitori del IV e V ordine.

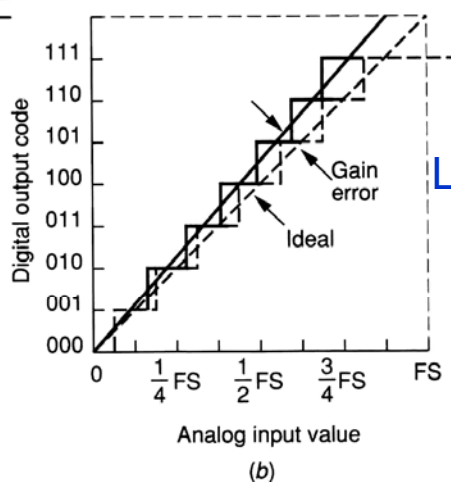
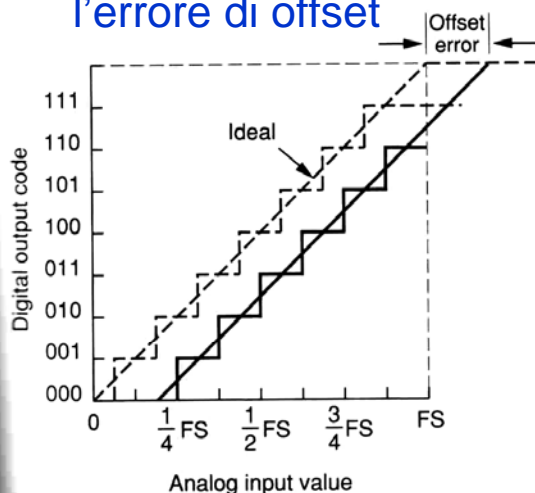
La difficoltà nell'implementazione di convertitori di ordine superiore risiede nel fatto che la nidificazione degli anelli porta a problemi di stabilità dal punto di vista analogico. Ed anche problemi di saturazione numerica derivanti dal troncamento nella parte di filtraggio e decimazione.

Limiti degli ADC

Negli ADC valgono sostanzialmente le stesse considerazioni che per i DAC. Rispetto alla curva ideale c'è anche qui l'errore di quantizzazione ed il relativo limite RMS.

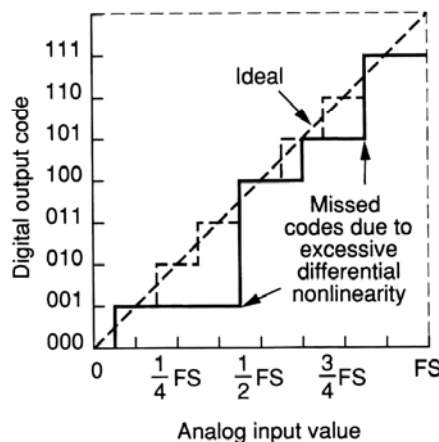
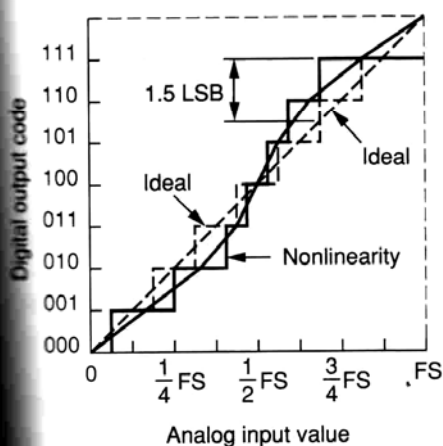


Si deve considerare l'errore di offset



L'errore di guadagno

Gli errori integrale e differenziale.



L'errore in più rispetto ai DAC è il così detto **missing code**: quando nella conversione 2 codici non consecutivi sono troppo vicini il codice che sta in mezzo non ha più corrispondenze significative.

Bibliografia

R.L.Geiger, P.E. Allen e N.R.Strader,
VLSI DESIGN TECHNIQUE FOR ANALOG AND DIGITAL CIRCUITS
McGraw-Hill Publishing Company, 1990.

P.Horowitz, W.Hill,
THE ART OF ELECTRONICS, SECOND EDITION
Cambridge University Press, 1999.

M.Ortmanns, F.Gerfers
CONTINUOUS-TIME SIGMA-DELTA A/D CONVERSION
SPRINGER, 2005, 621.38159.ORTM.CON/2006